



COPY

DECLARATION

I, Kunio Soda, residing at 14-20-205, Kamirenjaku 5-chome, Mitaka-shi, Tokyo 180-0021 Japan, do solemnly and sincerely declare that I well understand both Japanese and English languages and the attached English version is a full, true and faithful translation of the PCT International Application No. PCT/JP99/02826 filed on May 28, 1999 in the name of FUJITSU LIMITED.

And I made this solemn declaration conscientiously believing the same to be true.

This 24th day of August, 2001

Kunio Soda
Kunio Soda

REST AVAILABLE COPY



DESCRIPTION

MESSAGE WRITING APPARATUS, MESSAGE WRITING METHOD, MESSAGE
READOUT APPARATUS, MESSAGE READOUT METHOD, MEMORY ADDRESS
5 CONTROL CIRCUIT FOR WRITING OF VARIABLE-LENGTH MESSAGE AND
MEMORY ADDRESS CONTROL CIRCUIT FOR READOUT OF
VARIABLE-LENGTH MESSAGE

Technical Field

10 The present invention relates to a message writing apparatus, a message writing method, a message readout apparatus, a message readout method, a memory address control circuit for writing of a variable-length message and a memory address control circuit for readout of a variable-length message, which are suitable for use in transmission/reception
15 of an AAL5 message.

Background Art

In the recent years, an ATM-PON (Asynchronous Transfer
20 Mode-Passive Optical Network) system has been employed for efficient communications using an ATM (Asynchronous Transfer Mode) network. FIG. 21 is an illustration of a configuration of the ATM-PON system. An ATM-PON system shown in FIG. 21 is of a type, for example, providing a telephone service or
25 video service, and is made up of an ONU (Optical Network Unit) group 70, an ODN (Optical Distribution Network) 71, an ATM-optical subscriber line terminating unit 75, an SDH

trunk-system multiplexer 76, a router 74, a DCN (Digital Connection Network) 73 and an OPS (Operation System) 72.

In this configuration, the ONU group 70 includes a plurality of ONUs, for example, 64 ONUs #1 to #64 as shown 5 in FIG. 21. These ONUs are connected to homes to accommodate the ordinary users. Moreover, each of the ONUs interchanges serial numbers or identification information with the ODN 71 to allow the ODN 71 to identify terminal names. A sequence therefor will be described later with reference to FIG. 27.

10 In addition, the ODN 71 is for time-division-multiplexing ATM-PON cells in a direction from the ONU group 70 to the ATM-optical subscriber line terminating unit 75 and for branching ATM-PON cells in a direction from the ATM-optical subscriber line terminating unit 75 to the 15 ONU group 70.

The ATM-optical subscriber line terminating unit 75 is for establishing an interface between optical subscribers on the ONU group 70 side and an ATM network on the SDH trunk-system (backbone) multiplexer 76 side, and further for 20 controlling transmissions.

FIG. 22(a) is an illustration of a configuration of a 150-Mbps down stream frame, and FIG. 22(b) is an illustration of a configuration of a 150-Mbps up stream frame. The down stream frame shown in FIG. 22(a) is a frame to be transmitted 25 in a direction from the ATM-optical subscriber line terminating unit 75 to the ODN 71, while the up stream frame shown in FIG. 22(b) is a frame to be transmitted in a direction

from the ODN 71 to the ATM-optical subscriber line terminating unit 75.

In FIG. 22(a), PLOAMs #1 and #2 included in the downstream frame are performance monitoring cells, while ATM Cell #1 to ATM Cell #54 included therein are user cells. These performance monitoring cells are cells for monitoring transmission lines, and are automatically sent whenever the transmission side transmits 27 user cells.

Concretely, The PLOAM #1 includes information on a path connection-accepting side, or others. An ATM header indicated by circled numeral 1 is a header section of an ATM cell transmitted, an IDEN indicated by circled numeral 2 is for identifying the head of a PLOAM cell, and a SYNC indicated by circled numeral 3 holds a count value written for timing generation. Moreover, GRANT 1 to 27 indicated by circled numeral 4 contains transmission grant information on an up-transmission line with respect to each ONU. The grant contents are seven in number. Still moreover, a message • PON-ID indicated by circled numeral 5 signifies a destination ID on the message transmitting side, a message • ID indicated by circled numeral 6 signifies a message • type identifier, and a message • field indicated by circled numeral 7 is for displaying message contents. Yet moreover, a BIP indicated by circled numeral 8 signifies a code for calculation of a bit error rate of ATM cells before the PLOAM cell.

Furthermore, the up stream frame shown in FIG. 22(b) is a time-division-multiplexed frame comprising user cells

ATM Cell #1 to ATM Cell #53. Bits (screened) additionally placed before each of the ATM Cells represent three-byte overhead, which is for controlling the contents in accordance with a message in a down-PLOAM cell.

5 In addition, in FIG. 21, the SDH trunk-system multiplexer 76 is for transmitting main signal data through the use of ATM cells, the router 74 serves as a station at transmission of the main signal data, and the DCN 73 denotes a digital network. Still additionally, the OPS 72 is for remotely 10 implementing centralized control of the ONU group 70 or the ATM-optical subscriber line terminating unit 75.

Still furthermore, in FIG. 21, coarse dotted lines depict control paths (control connections) between the ATM-optical subscriber line terminating unit 75 and the ONU group 70, 15 while a fine dotted line depicts a main signal data path (main signal connection) between the ATM-optical subscriber line terminating unit 75 and the ONU group 70.

These paths establish multi-connection. For example, main signal data from the ONU group 70 existing in a city 20 A pass through the main signal data path and are time-division-multiplexed in the ODN 71, and then are transmitted through the ATM-optical subscriber line terminating unit 75 to the SDH trunk-system multiplexer 76 existing in a city B. In addition, control signals from the 25 ONU group 70 pass through the control paths and are time-division-multiplexed in the ODN 71 and then inputted to the ATM-optical subscriber line terminating unit 75, but

not transmitted from this ATM-optical subscriber line terminating unit 75 to the external.

Moreover, in the ATM-optical subscriber line terminating unit 75 shown in FIG. 21, a PON-IF section 75d on the ODN 5 71 side is for performing format conversion between an ATM cell and an ATM-PON cell, an ATM-SW 75c is for switching main signal data, and an ATM-IF section 75e for making an interface for cell transmission between the ATM-optical subscriber line terminating unit 75 and the SDH trunk-system multiplexer 76.

10 Still moreover, a SEMF-IF section 75a connected to the router 74 side is for extracting a control command from a signal transmitted from an OPS 72 to send it to an OAM-IF section 80, and concretely, is for performing format conversion of a frame from the OPS 72.

15 Yet moreover, the OAM-IF section 80 is for receiving and assembling only one path for ATM cells inputted from the PON-IF section 75d to perform conversion to an adaptation layer AAL5 (ATMAadaptation Layer 5) message. Concretely, this OAM-IF section 80 assembles only one of a plurality of cells 20 coming from the ONU group 70 through the use of a receiving buffer on the basis of a control command from the SEMF-IF section 75a and sends it out as an AAL5 message to the ATM-IF section 75e.

25 This AAL5 message signifies one of AAL0, AAL1, AAL3/4, AAL4 and AAL5 of an adaptation layer, different according to data type or data rate. As well known, the layer structure in the ATM communication comprises a physical layer, an ATM

layer forming an upper layer of the physical layer for establishing connections in an ATM network to interchange ATM cells, and an ATM adaptation layer forming an upper layer of the ATM layer for translating information data and ATM cells. For example, with respect to a large volume of information data, ATM cells divided in units of 48 bytes are generated in the ATM adaptation layer and processed by the ATM layer and the physical layer. Moreover, this adaptation layer is classified into AAL0, AAL1, AAL3/4, AAL4 and AAL5 on the basis of information data types or information data rates.

Of these, the AAL5 is a layer for transmitting IP data or the like through an ATM network. In this AAL5, a variable-length pad (pseudo-data) is added to transmission data to form a multiple of 48 bytes and the pad-added data is CRC-operation-processed so that a parity is added to the variable-length pad added data. All the data thus obtained are outputted as CS-PDU which in turn, produces ATM cells divided into segments of 48 bytes, which can prevent bit errors or cell loss.

Thus, for example, ATM-PON cells passing through a plurality of paths from 64 ONUs #1 to #64 are time-division-multiplexed in the ODN 71 and converted into ATM cells in the PON-IF section 75d and further switching-processed in the ATM-SW 75c. These ATM cells are sent from the ATM-IF section 75e to the SDH trunk-system multiplexer 76. Moreover, the ATM cells sent from the SDH

trunk-system multiplexer 76 are inputted through the ATM-IF section 75e to the OAM-IF section 80.

At this time, in this OAM-IF section 80, the receive assembling is made with respect to only one of a plurality of paths, thus conducting conversion into an AAL5 message. In addition, this AAL5 message is sent out from the SDH trunk-system multiplexer 76. In this connection, this path information indicates a path identified by the VPI (Virtual Path identifier) and VCI (Virtual Channel identifier) in an ATM cell header.

FIG. 23 is a block diagram showing a conventional OAM-IF section. In FIG. 23, an OAM-IF section 80 is composed of an ATM cell assembling unit 81 and an external memory (receiving buffer) 82. In this configuration, a path recognizing section 81a is for extracting path information from a received cell to abandon the received cell other than the path information on the receive assembling processing. A received message assembling section 81b is for conducting cell assembling on an AAL5 message having the path information on the assembling to output readout information, and an external memory control 81d is for controlling the readout from the external memory 82.

In this connection, in FIG. 21, in a case in which a timing at which the OAM-IF section 80 receives a command from the SEMF-IF section 75a and a timing at which message assembling processing is conducted in the external memory 82 differ time-wise from each other, an arbitrating section 81c mediates

this time-wise difference, with it being controlled by a signal inputted from a CPU control section (not shown).

Secondly, a method of selecting one of received cells in the above-described configuration will be described 5 hereinbelow with reference to FIG. 24. FIG. 24 is a flowchart showing conventional received cell assembling processing. As FIG. 24 shows, upon reception of an ATM cell (step F1), a step F2 is implemented to extract path information from the received cell for checking whether or not it agrees with 10 path information on receive assembling processing. If the agreement takes place, the YES route is taken for conducting cell assembling with respect to an AAL5 message having the assembling path information, and data on the received cell is written in the external memory 82 (step F3). On the other 15 hand, if the checking result in the step F2 indicates no agreement, the NO route is taken for abandon the received cell other than that path information (step F4).

FIG. 25 is an illustrative view showing a flow from the ATM cell reception to the AAL5 message assembling. In FIG. 20 FIG. 25, the received message assembling section 81b conducts the AAL5 message assembling with respect to an ATM cell transmitted through a path 1. Incidentally, this path information (for example, information indicative of path 1) is set on both transmission and reception.

25 FIG. 26 is an illustrative view showing a flow to be taken for when, upon the reception of an ATM cell, the received cell is abandoned. In FIG. 26, the received message assembling

section 81b conducts the AAL5 message assembling with respect to the path 1. Moreover, when ATM cells 82a, 82b and 82c transmitted through the path 1 and ATM cells 83a and 83b transmitted through a path 2 are inputted to this received 5 message assembling section 81b, the ATM cells 82a, 82b and 82c from the path 1 undergo the AAL5 message assembling in the external memory 82. On the other hand, the ATM cells 83a and 83b from the path 2 other than the set path, which have come in, are not subjected to the AAL5 message assembling 10 on the path 2, but are abandoned.

A description will be added of the above-mentioned ONU. FIG. 27 is an illustration of a start-up sequence of the ONU. As FIG. 27 shows, in response to the power-on, the ONU takes an initial state (step P1), and upon the establishment the 15 synchronization with the ODN 71, it enters a delay measurement standby state -1 (step P2). Then, after the setting of parameters, it falls into a delay measurement standby state -2 (step P3). When serial numbers are interchanged with respect to the PON-IF section 75d and the serial numbers are 20 identical to each other, the YES route is taken so that it becomes a delay measurement standby state -3 (step P4).

Following this, examination is made on an optical laser output. If the examination shows a satisfactory result, the YES route is taken so that it falls in an operation standby 25 state -1 (step P5). At this time, the serial numbers are again interchanged with respect to the PON-IF section 75d and an identification number is communicated thereto, and it enters

an operation standby state -2 (step P6). Moreover, identification numbers for identifying a plurality of ONUs are added to the PON-IF section 75d and it enters an operation standby state -3 (step P7). In response to a notice on a delay 5 adjustment indication value, the YES route is taken so that it takes an operating state (step P8). Furthermore, the setting of a path takes place (step P9) to perform interchange of ATM cells (step P10). In the steps P3 to P8, if there is no reception of a signal for state transition, the NO route 10 takes place so that the flow returns to the step P2 processing.

As described above, this ATM-PON system 90 supports only a function to assemble only the AAL5 message having path information previously set for both transmission and reception. Accordingly, when an AAL5 message is received 15 through a path other than the set path, there is no choice other than to abandon it. This creates a problem in that difficulty is encountered in achieving large volume transmission/reception. In addition, in assembling an AAL 5 message from the path 2, there is a need to switch the path 20 setting, and if a plurality of paths exist, there is a need to alter the setting on each of the paths so that transfer processing takes much time.

The present invention has been developed with a view to eliminating such problems, and it is therefore an object 25 of the invention to provide a message writing apparatus, message writing method, message readout apparatus, message readout method, memory address control circuit for writing

of a variable-length message and memory address control circuit for readout of a variable-length message, operable of, in the case of multi-connections, processing AAL5 messages from a plurality of paths by, when received ATM cells are 5 read/written from/in a receiving buffer, reading/writing in a memory area corresponding to each path and further of shortening a data transfer time by improving the transfer processing capability.

10 Disclosure of Invention

For this purpose, a message writing apparatus according to the present invention is characterized by comprising receiving means for receiving cells having path information, the cells being obtained by division of a variable-length 15 message, message area allocating means for extracting the path information from the received cells received by the receiving means to allocate a memory area corresponding to the path information, the memory area being larger than a size of the variable-length message, writing rank adding means 20 for adding writing ranks to the received cells when the received cells are written in the memory area allocated by the message area allocating means, and storing means for writing the received cells in the memory area according to the writing ranks added by the writing rank adding means.

25 Thus, upon the reception of one cell, with regard to that cell, a cell number, a message number, the number of cells received, and others are managed in accordance with

the plurality of management information, which provides an advantage in that a memory area can be put efficiently to use. Moreover, since this enables transferring a variable-length message coming from a plurality of paths, 5 an advantage is that the transfer processing capability improves in total to realize a shortening in data transfer time. Still moreover, since the cell write in a receiving buffer memory can be done dynamically, this exhibits an advantage in that an effective utilization of a memory area 10 becomes feasible so that a device needed for multi-connections reducible in scale to lead to cost reduction. Yet moreover, this has an advantage in that the multi-connections become possible and data from the ordinary users can be 15 time-division-multiplexed to permit transfer of a large volume of data.

In addition, a message writing method according to the present invention is characterized by comprising a receiving step of receiving cells having path information, the cells being obtained by division of a variable-length message, a 20 message area allocating step of extracting the path information from the received cells received in the receiving step to allocate a memory area corresponding to the path information, larger than a size of the variable-length message, a writing ranks step of adding writing ranks to the received 25 cells when the received cells are written in the memory area allocated in the message area allocating step, and a storing step of writing the received cells in the memory area according

to the writing ranks added in the writing rank step.

In this way, upon the reception of one cell, with regard to that cell, a cell number, a message number, the number of cells received, and others are managed in accordance with 5 the plurality of management information, which provides an advantage in that a memory area can be put efficiently to use.

Still additionally, a message readout apparatus according to the present invention, which reads out each of 10 a plurality of cells constituting a message and written in a memory area, characterized by comprising first means for reading out the message in accordance with writing ranks added in the order of receive processing of the cells, second means for reading out the message on the basis of the added writing 15 ranks in a manner that flag information, indicative of whether or not the cells are read out, is written in the memory area, third means for reading out the message on the basis of the writing ranks based on an indication of a message storing/holding section which manages a message number of 20 the received cells written in the memory area and writing position information thereon, and control means operable of selecting any one of the first means, the second means and the third means by setting of the memory area.

Thus, it is possible to handle a plurality of cells and 25 to transfer a variable-length message coming from a plurality of paths, which provides an advantage in that the transfer processing capability improves in total and a shortening in

data transfer time is realizable.

Yet additionally, a message readout method according to the present invention, which reads out each of a plurality of cells constituting a message and written in a memory area, 5 characterized by comprising a first step of reading out the message in accordance with writing ranks added in the order of receive processing of the cells, a second step of reading out the message on the basis of the added writing ranks in a manner that flag information, indicative of whether or not 10 the cells are read out, is written in the memory area, and a third step of reading out the message in accordance with the writing ranks provided by an indication of a message storing/holding section which manages a message number of the received cells written in the memory area and writing 15 position information, with any one of the first means, the second means and the third means being selectively implemented according to setting of the memory area.

Thus, it is possible to handle cells coming from a plurality of different paths and to dynamically conduct the 20 cell write in a receiving buffer memory, and this exhibits an advantage in that an effective utilization of a memory area becomes feasible so that a device needed for multi-connections reducible in scale to lead to cost reduction.

25 Furthermore, a memory address control circuit for writing of a variable-length message according to the present invention is characterized by comprising a path recognizing

section for receiving, the cells being obtained by division of the variable-length message and transmitted to extract path information from the received cells, a receive control section operable of adding writing ranks on writing in a memory 5 in correspondence with the path information outputted from the path recognizing section and of outputting a size of a writing area, a writing position of the variable-length message and the number of cells received, as management information, a received message assembling section having 10 an address table, in which the size of the writing area, the writing position of the variable-length message and the number of received cells, corresponding to the path information, are related to each other on the basis of the management information from the receive control section for assembling 15 the received cells with respect to one variable-length message and outputting second write information, and a memory control section operable of controlling writing in the memory on the basis of the second write information from the received message assembling section and the management information from the 20 receive control section.

Thus, this has an advantage in that the multi-connections become possible and data from each ordinary user can be time-division-multiplexed to permit transfer of a large volume of data.

25 Still furthermore, a memory address control circuit for readout of a variable-length message according to the present invention is characterized by comprising a path recognizing

section for receiving cells, the cells being obtained by division of the variable-length message and transmitted to extract path information from the received cells, a receive control section operable of adding writing ranks on readout 5 in a memory in correspondence with the path information outputted from the path recognizing section and of outputting a size of a readout area, a readout position of the variable-length message and the number of received cells as management information, a received message assembling section 10 having an address table, in which the size of the readout area, the readout position of the variable-length message and the number of received cells being corresponding to the path information, are related to each other on the basis of the management information from the receive control section 15 and operable of assembling the received cells with respect to one variable-length message and outputting second readout information, and a memory control section operable of controlling the readout to the memory on the basis of the second readout information from the received message 20 assembling section and the management information from the receive control section.

Thus, this exhibits an advantage in that the management of cell numbers, message numbers, the numbers of cells received and others becomes feasible through the use of a plurality 25 of management information, which leads to efficient use of a memory area.

Brief Description of Drawings

FIG. 1 is an illustrative view showing a configuration of an ATM-PON system to which the present invention is applicable.

5 FIG. 2 is an illustrative view showing an ATM cell time division multiplex system in an ODN according to an embodiment of the present invention.

FIG. 3 is a block diagram showing an OAM-IF section according to the embodiment of the present invention.

10 FIG. 4 is an illustrative view showing one example of mapping of memory areas in an external memory according to an embodiment of the present invention.

15 FIG. 5 is an illustrative view for explaining a method of allocating a receiving buffer area at every fixed length, according to the embodiment of the present invention.

FIG. 6 is an illustrative view for explaining a method of allocating a receiving buffer area variably, according to the embodiment of the present invention.

20 FIG. 7 is an illustrative view for explaining a method of writing an AAL5 message, according to an embodiment of the present invention.

FIG. 8 is an illustrative view for explaining a second method of writing an AAL5 message, according to an embodiment of the present invention.

25 FIG. 9(a) is an illustrative view showing a memory area in a received cell written state.

FIG. 9(b) is an illustrative view showing a memory area

in a state after first cells are read out by a CPU.

FIG. 9(c) is an illustrative view showing the memory area in a state after second cells are read out by the CPU.

FIG. 9(d) is an illustrative view showing the memory area in a state after third cells are read out by the CPU.

FIG. 10(a) is an illustrative view showing a memory area in a received cell written state.

FIG. 10(b) is an illustrative view showing the memory area in a state after second cells are read out by a CPU.

FIG. 10(c) is an illustrative view showing the memory area in a state after a fourth cell is read out by the CPU.

FIG. 10(d) is an illustrative view showing a memory area after readout processing.

FIG. 11(a) is an illustrative view showing a memory area arrangement at reception of a first cell of a first message passing through a path 1.

FIG. 11(b) is an illustrative view showing a memory area arrangement at reception of a second cell of the first message passing through the path 1.

FIG. 11(c) is an illustrative view showing a memory area arrangement at reception of the last cell of the first message passing through the path 1.

FIG. 11(d) is an illustrative view showing a memory area arrangement at reception of a first cell of a second message from the path 1.

FIG. 11(e) is an illustrative view showing a memory area arrangement at reception of a second cell of the second message

from the path 1.

FIG. 11(f) is an illustrative view showing a memory area arrangement at reception of a third cell of the second message from the path 1.

5 FIG. 12(a) is an illustrative view showing a memory area arrangement at reception of a fourth cell of the second message from the path 1.

10 FIG. 12(b) is an illustrative view showing a memory area arrangement at reception of a fifth cell of the second message from the path 1.

FIG. 12(c) is an illustrative view showing a memory area arrangement at reception of the last cell of the second message from the path 1.

15 FIG. 12(d) is an illustrative view showing a memory area arrangement at reception of a first cell of a third message from the path 1.

FIG. 12(e) is an illustrative view showing a memory area arrangement at reception of a second cell of the third message from the path 1.

20 FIG. 12(f) is an illustrative view showing a memory area arrangement at reception of the last cell of the third message from the path 1.

FIG. 13(a) is an illustrative view showing a memory area arrangement at reception of the last cell of a fourth message from the path 1.

25 FIG. 13(b) is an illustrative view showing a memory area arrangement when readout of the first message is notified

to a CPU.

FIG. 13(c) is an illustrative view showing a memory area arrangement at reception of a first cell of a fifth message from the path 1.

5 FIG. 13(d) is an illustrative view showing a memory area arrangement at reception of a second cell of the fifth message from the path 1.

FIG. 13(e) is an illustrative view showing a memory area arrangement after a CPU reads out the second message.

10 FIG. 13(f) is an illustrative view showing a memory area arrangement at reception of the last cell of the fifth message from the path 1.

15 FIG. 14(a) is an illustrative view showing a memory area arrangement at reception of a first cell of a sixth message from the path 1.

FIG. 14(b) is an illustrative view showing a memory area arrangement at reception of a second cell of the sixth message from the path 1.

20 FIG. 14(c) is an illustrative view showing a memory area arrangement at reception of a third cell of the sixth message from the path 1.

FIG. 14(d) is an illustrative view showing a memory area arrangement after a CPU reads out the third message.

25 FIG. 14(e) is an illustrative view showing a memory area arrangement at reception of a fourth cell of the sixth message from the path 1.

FIG. 14(f) is an illustrative view showing a memory area

arrangement at reception of the last cell of the sixth message from the path 1.

FIG. 15(a) is an illustrative view showing an area arrangement immediately after writing of cells of the first 5 message, whose cell number is 2.

FIG. 15(b) is an illustrative view showing an area arrangement at writing of the first message.

FIG. 15(c) is an illustrative view showing an area arrangement at writing of the second message.

10 FIG. 15(d) is an illustrative view showing an area arrangement at writing of the third message.

FIG. 15(e) is an illustrative view showing an area arrangement at writing of the fourth message.

15 FIG. 15(f) is an illustrative view showing an area arrangement at writing of the fifth message.

FIG. 16(a) is an illustrative view showing an area arrangement before readout.

FIG. 16(b) is an illustrative view showing an area arrangement after readout of the second message.

20 FIG. 16(c) is an illustrative view showing an area arrangement at readout of the fourth message.

FIG. 16(d) is an illustrative view showing an area arrangement when the messages up to a ninth are written and the fifth message is being read out.

25 FIG. 16(e) is an illustrative view showing an area arrangement when a tenth message is written but a received cell is written in the remaining free area.

FIG. 16(f) is an illustrative view showing an area arrangement at reception of an eleventh message.

FIG. 17 is a flowchart showing a receive processing operation according to an embodiment of the present invention.

5 FIG. 18 is a flowchart showing receive processing using a stored flag, according to an embodiment of the present invention.

10 FIG. 19 is a flowchart showing receive processing using a stored flag, according to an embodiment of the present invention.

FIG. 20 is a flowchart showing receive processing using a stored flag, according to an embodiment of the present invention.

15 FIG. 21 is an illustrative view showing a configuration of an ATM-PON system.

FIG. 22(a) is an illustration of a 150-Mbps down stream frame configuration.

20 FIG. 22 (b) is an illustration of a 150-Mbps up stream frame configuration.

FIG. 23 is a block diagram showing a conventional OAM-IF section.

FIG. 24 is a flowchart showing conventional received cell assembling processing.

25 FIG. 25 is an illustrative view showing a flow from ATM cell reception to AAL5 message assembling.

FIG. 26 is an illustrative view showing a flow to be taken for when, upon reception of an ATM cell, the received

cell is abandoned.

FIG. 27 is an illustrative view showing a start-up sequence of an ONU.

5 Best Mode for Carrying Out the Invention

(A) Description of Embodiment of the Present Invention

FIG. 1 is an illustrative view showing a configuration of an ATM-PON system to which the present invention is applicable. An ATM-PON system 8, shown in this FIG. 1, is a system operable of providing, for example, a telephone service or video service, and is made up of a user terminal group 9, an ONU group 10, an ODN 11, an ATM-optical subscriber line terminating unit 12, an SDH trunk-system multiplexer 16, a router 13, a DCN 14 and an OPS 15.

10 The user terminal group 9 includes a plurality of user terminals, and forms terminal equipment placed in homes. The ONU group 10 comprises, for example, 64 ONUs #1 to #64, and each of the ONUs is connected to a plurality of user terminals of the user terminal group 9 so that an ATM network accommodates the ordinary users. The ODN 11 is for time-division-multiplexing ATM-PON cells in a direction from the ONU group 10 to the ATM-optical subscriber line terminating unit 12, and further for branching ATM-PON cells in a direction from the ATM-optical subscriber line terminating unit 12 to the ONU group 10. The ATM-PON cell is a cell in which identification information for PON is added to an ATM cell, and in the following description, it will be referred to as

an ATM cell, unless otherwise specified particularly.

In addition, the ATM-optical subscriber line terminating unit 12 serves as an interface between optical service subscribers on the ONU group 10 side and an ATM network on 5 the SDH trunk-system multiplexer 16 side, and for controlling transmission.

With this configuration, for example, 64 ONUs #1 to #64 receive data inputted through manipulation by the ordinary user in each home, and send out ATM-PON cells. Moreover, the 10 ODN 11 time-division-multiplexes the ATM-PON cells sent out from each ONU, with the plurality of cells time-division-multiplexed being inputted to the ATM-optical subscriber line terminating unit 12.

FIG. 2 is an illustrative view showing an ATM cell time-division-multiplex system in the ODN 11 according to an 15 embodiment of the present invention. In FIG. 2, an ATM cell having information on a path 1 is sent out from one ONU #1 of the ONU group 10 to the ODN 11, and an ATM cell having information on a path n is sent out from the ONU #n thereto. 20 These ATM cells are time-division-multiplexed in the ODN 11 and then inputted to the ATM-optical subscriber line terminating unit 12. Incidentally, for example, the value of n is 64.

The SDH trunk-system multiplexer 16 is for transmitting 25 main signal data through the use of ATM cells, the router 13 corresponds to a station to be used in transmission of the main signal data, the DCN 14 is a digital network, and

the OPS 15 is for remotely implementing centralized control of the ONU group 10 or the ATM-optical subscriber line terminating unit 12.

5 In FIG. 1, coarse dotted lines depict control paths (control connections) between the ATM-optical subscriber line terminating unit 12 and the ONU group 10, while a fine dotted line depicts a main signal data path (main signal connection) between the ATM-optical subscriber line terminating unit 12 and the ONU group 10.

10 In addition, this path (path information) signifies a path identified by the VPI and VCI in an ATM cell header, and the following embodiment will use it in a similar sense.

15 These establish multi-connection. For example, main signal data from the OUN group 10 existing in a city A pass through the main signal data path and are time-division-multiplexed in the ODN 11, and then are transmitted through the ATM-optical subscriber line terminating unit 12 to the SDH trunk-system multiplexer 16 existing in a city B. In addition, control signals from the 20 ONU group 10 pass through the control paths and are time-division-multiplexed in the ODN 11 and then inputted to the ATM-optical subscriber line terminating unit 12.

25 In FIG. 1, the ATM-optical subscriber line terminating unit 12 is composed of a PON-IF section 12b for performing a format conversion between an ATM cell and an ATM-PON cell, an ATM-SW 12c for switching main signal data outputted from the PON-IF section 12b, an ATM-IF section 12d for, when main

signal data outputted from the ATM-SW 12c is transmitted to the SDH trunk-system multiplexer 16, providing an interface between the SDH trunk-system multiplexer 16 and the ATM-optical subscriber line terminating unit 12, a SEMF-IF section 12a for extracting a control command from a signal transmitted from the OPS 15, and an OAM-IF section 20 for receiving and assembling a plurality of ATM cells having different path information, outputted from the ATM-SW 12c, to convert them into an AAL5 message. The OAM-IF section 20 includes an ATM cell assembling section 21 and an external memory (received buffer) 22.

With this configuration, ATM-PON cells passing through a plurality of paths from, for example, 64 ONUs #1 to #64 are time-division-multiplexed in the ODN 11, and after the conversion from an ATM-PON cell format to an ATM cell format is made in the PON-IF section 12b, are switched in the ATM-SW 12c to be inputted to the OAM-IF section 20. In this case, in the OAM-IF section 20, a plurality of ATM cells coming from a plurality of different paths are received and assembled to be once written as a plurality of AAL5 messages in the external memory 22. Moreover, the plurality of AAL5 messages are sent out from the SDH trunk-system multiplexer 16 through the ATM-IF section 12d, while ATM cells transmitted from the SDH trunk-system multiplexer 16 undergo a cell format conversion in the ATM-IF section 12d and are outputted from the PON-IF section 12b after switched by the ATM-SW 12c.

FIG. 3 is a block diagram showing the OAM-IF section

20 according to an embodiment of the present invention. The OAM-IF section 20 shown in FIG. 3 includes the ATM cell assembling section 21 and the external memory 22. The external memory 22 is for storing data, and each of areas of this external 5 memory 22 functions as a memory area in which written temporarily are information such as received cells, a message made by assembling these cells, a size of the data written memory area, a writing position of the message made by the assembling and the number of received cells. A detail of the 10 write and readout will be described later.

The ATM cell assembling section 21 is for receiving and assembling a plurality of ATM cells coming from a plurality of different paths and for outputting them, and is composed of a path recognizing section 21a, a received message assembling section 21b, a receive control section (receive descriptor section) 21c, an arbitrating section 21d and an external memory control section 21e. It functions as a message writing apparatus or a message readout apparatus.

The path recognizing section 21a is for receiving cells 20 transmitted in the form of divisions of an AAL5 message to extract path information from the received cells. Moreover, it abandons the received cells other than the path information about the reception/assembling processing.

The receive control section 21c is designed to add a 25 writing rank on writing in the external memory 22 in correspondence to path information outputted from the path recognizing section 21a, and to output, as management

information, a size of a writing area, a writing position of an AAL5 message and the number of received cells. Moreover, this receive control section 21c is made to add a readout rank on readout from the external memory 22 in correspondence to the path information from the path recognizing section 21a and to output, as management information, a size of a readout area, a readout position of an AAL5 message and the number of received cells.

The received message assembling section 21b has an address table 23 in which a size of a writing area, a writing position of an AAL5 message and the number of cells, corresponding to path information, are related to each other on the basis of management information from the receive control section 21c, and is operable of assembling received cells with respect to one AAL5 message and outputting second write information. In addition, the received message assembling section 21b has an address table 23 in which a size of a readout area, a readout position of an AAL5 message and the number of cells, corresponding to path information, are related to each other on the basis of the management information from the receive control section 21c, and is operable of assembling received cells with respect to one AAL5 message to output second readout information.

The external memory control section 21e is operable of controlling the write in the external memory 22 on the basis of the second write information from the received message assembling section 21b and the management information from

the receive control section 21c. On the other hand, for the readout, the external memory control section 21e is operable of controlling the readout to the external memory 22 on the basis of the second readout information from the received 5 message assembling section 21b and the management information from the receive control section 21c.

In addition, in FIG. 1, in a case in which a timing at which the OAM-IF section 20 receives a command from the SEMF-IF section 12a and a timing at which message assembling processing 10 is conducted in the external memory 22 differ time-wise from each other, the arbitrating section 21d mediates this time-wise difference. That is, this arbitrating section 21d is for correcting the phase shift occurring at multiplexing, and is controlled by a signal inputted from a CPU control 15 section (not shown). Concretely, it has a counter indicating a phase shift, and for example, if the counter value is 1000, it is recognized that the phase shift is in an allowable range, and if the counter value exceeds 1000, the shift is corrected to remove fluctuation.

20 Thus, the path recognizing section 21a, the received message assembling section 21b, the receive control section 21c and the external memory control section 21e cooperate with each other to function as a memory address control circuit for readout of an AAL5 message and to function as a memory 25 address control circuit for readout of an AAL5 message.

FIG. 4 is an illustrative view showing an example of mapping of memory areas in the external memory 22. In FIG.

4, the external memory 22 has an address table (address table area) 23, a message BOX (message BOX area) 24 and a receiving buffer area. Incidentally, although this external memory 22 has areas for operations of a CPU or the like in addition to the aforesaid areas, the description of these areas will be omitted.

This message BOX 24 is an area for conducting assembling of the received cells with respect to each path to assemble a message. The address table 23 is an area in which cells and management information on a message are written.

Concretely, with respect to the cells written in the message BOX 24, there are written information such as cell numbers, the number of received cells, message numbers on the cells, sizes of memory areas for writing cells and addresses of the assembled messages.

Thus, the received cells are written in the message BOX 24 in accordance with the management information set in the address table 23 to assemble one message.

Furthermore, as FIG. 4 shows, the address table 23 comprises a lookup area (area indicated by L), an assembling work area 1 (area indicated by K_1) and an assembling work area 2 (area indicated by K_2).

The lookup area L is composed of a lookup area-path 1 (area indicated by L_1), a lookup area-path 2 (area indicated by L_2), ..., a lookup area-path n (area indicated by L_n), and each of these lookup areas L_1, L_2, \dots, L_n is allocated according to path.

In addition, in detail, the lookup area L_1 is partitioned into a received message assembling start address, a received message assembling work area size, and an area in which written are flags: a PATHEN, a CRC-INH, a LENGTH-INH and an AALTYP.

5 The PATHEN is an area for setting whether or not received cells are assembled with respect to that path, the CRC-INH is an area for setting whether or not to inhibit a CRC check, the LENGTH-INH is an area for setting a message length, and the AALTYP is an area for indicating the type of an adaptation

10 layer. The lookup area L_2, \dots, L_n have a similar area configuration.

The assembling work area K_1 is composed of an assembling work area 1-path 1 (area indicated by K_{1-1}), an assembling work area 1-path 2 (area indicated by K_{1-2}), \dots , an assembling work area 1-path n (area indicated by K_{1-n}), with each being allocated with respect to each path. Moreover, in detail, the assembling work area 1-path 1 is partitioned into a received message assembling work area size, a received message assembling start address, a CRC partial operation result

20 written area and an area in which written are flags: a PATHEN, a CRC-INH, a LENGTH-INH, an AALTYP, a FIFOPTYERR and a CELLCONT. Of these, the PATHEN, CRC-INH, LENGTH-INH and AALTYP are the same as those mentioned above, and further description thereof will be omitted. The FIFOPTYERR is an area for indicating

25 information on whether or not an error exists in a parity check result, and the CELLCONT is an area for implementing control on the number of cells. The assembling work area K_{1-2} ,

..., the assembling work area K_{1-n} have a similar configuration.

Moreover, the assembling work area K_2 is composed of an assembling work area 2-path 1 (area indicated by K_{2-1}), an assembling work area 2-path 2 (area indicated by K_{2-2}), ..., 5 an assembling work area 2-path n (area indicated by K_{2-n}), with each being allocated with respect to each path. Still moreover, in detail, the assembling work area K_{2-1} is partitioned into a residual quantity to be updated according to message, a current address to be updated according to message, 10 a residual quantity to be updated according to cell and a current address to be updated according to cell. The assembling work area K_{2-2} , ..., the assembling work area K_{2-n} have a similar configuration, and functions as a residual quantity examining means (which will be mentioned later).

15 Furthermore, the message BOX 24 is composed of a message 1 storage area (area indicated by S_1), a message 2 storage area (area indicated by S_2), ..., a message n storage area (area indicated by S_n). In detail, the message 1 storage area is partitioned into a receive trailer value, a received message 20 head address value, detailed error information, a path number and the number of received cells. The message 2 storage area, ..., the message n storage area have a similar configuration.

25 Referring to FIGs. 5 and 6, a description will be added hereinbelow of a method of allocating a receiving buffer area variably.

FIG. 5 is an illustrative view for explaining a method of allocating a receiving buffer area at every fixed length.

A message write unit 30 shown in FIG. 5 is operable of conducting writing in a memory area according to different path, and is composed of a received message assembling section 21b, an external memory control section 21e, a CPU 25 and an external memory 22.

The received message assembling section 21b is for receiving cells having path information, the cells being obtained by division of an AAL5 message, and in addition to the above-mentioned functions, also functions as a receiving means. Moreover, this received message assembling section 21b is equipped with an address table 23. In the address table 23, there are written a path name and management information such as an address of a writing area in the external memory 22, corresponding to that path, a size of the writing area and the number of cells, which are related to each other. In the message BOX 24, there is written information on the above-mentioned respective messages.

The external memory control section 21e is for extracting path information cells received by the received message assembling section 21b to allocate a memory area corresponding to the path information, the memory area 22 being larger than an AAL5 message, and functions as a message area allocating means. Moreover, this external memory control section 21e includes an address table setting means (not shown) and a message storage area setting means (not shown) which are for partitioning the external memory 22 shown in FIG. 4 into the address table 23 and the message BOX 24.

This address table setting means establishes, in the external memory 22, an address table 23 in which a size of a writing area, a writing position of an AAL5 message and the number of received cells, corresponding to path 5 information, are related to each other on the basis of cell numbers and a message number about received cells. The message storage area setting means is for placing, in the external memory 22, a message BOX 24 which allows the received cells to be read out in units of message. Accordingly, the address 10 table 23 functions as a writing rank adding means to add writing ranks to received cells when the received cells are written in the memory area allocated by the external memory control section 21e.

Concretely, this writing rank signifies a priority at 15 write, and the address table 23 gives a writing rank to a received cell in the order of reception processing thereof. That is, the rank is added in the order of the cell arrival. In this connection, there is another method of adding the writing rank, and this will be described later.

20 Moreover, the CPU 25 is for writing the received cells in the memory area in accordance with the ranks added by the address table 23, and functions as a storing means.

Thus, when the received message assembling section 21b receives two types of ATM cells, i.e., path 1 and path 2 shown 25 in FIG. 5, the received message assembling section 21b allocates an area in the external memory 22 by each path according to path 1 or path 2 through the use of information

written in the address table 23. For example, in the address table 23, with respect to the path 1, written are an address of a writing area, a size (16 Kbyte) of the writing area and number of cells (10 cells), and with respect to the path 2, 5 written are an address of a writing area, a size (16 Kbyte) of the writing area and number of cells (4 cells), and further, with respect to the path 3, written are an address of a writing area, a size (16 Kbyte) of the writing area and number of cells (0 cell). Incidentally, in this case, an area is ensured 10 for the path 3 which has not come yet.

FIG. 6 is an illustrative view for explaining a method of allocating a receiving buffer area variably. In FIG. 6, when receiving two types of ATM cells, i.e., path 1 and path 2, a received message assembling section 21b variably 15 allocates a writing area in the external memory 22 according to path 1 or path 2. For example, in the address table 23, with respect to the path 1, written are an address of a writing area, a size (48 Kbyte) of the writing area and number of cells (10 cells), and with respect to the path 2, written 20 are an address of a writing area, a size (16 Kbyte) of the writing area and number of cells (4 cells), and further, with respect to the path 3, written are an address of a writing area, a size (0 Kbyte) of the writing area and number of cells (0 cell). Also in this case, a message BOX 24 and an area 25 for the path 3 which has not come yet are ensured.

As mentioned above, since a size of a memory area can variably be allocated according to message, it is possible

to use the memory area effectively.

Furthermore, referring to FIGs. 7 and 8, a description will be added of a writing method using the aforesaid address table 23, message BOX 24 and CPU.

5 FIG. 7 is an illustrative view for explaining a method of writing an AAL5 message according to an embodiment of the present invention. In FIG. 7, a CPU 25 is connected to a received message assembling section 21b and an external memory 22. The external memory 22 stores a plurality of messages 10 in its receiving buffer area, while the received message assembling section 21b has an address table 23.

When a received message readout request such as a hardware interruption is issued from the external memory 22, the CPU 25 reads out, from the address table 23, a head address of 15 a memory area in which a message to be read out is written. Subsequently, payload data is read out from the receiving buffer area (see FIG. 4). In addition, with respect to that message, the CPU 25 sets a readout processing bit indicative 20 of the completion of readout to a processed condition. This readout processing bit will be mentioned later.

FIG. 8 is an illustrative view for explaining a second method of writing an AAL5 message, according to an embodiment of the present invention. Unlike FIG. 7, an address table 23 shown in FIG. 8 is not placed in the received message assembling section 21b but is put in the external memory 22.

The CPU 25 is connected to the received message assembling section 21b and the external memory 22. The external memory

22 has the address table 23, a message BOX 24 and a receiving buffer area, and stores a plurality of messages.

Thus, when a received message readout request such as a hardware interruption is issued from the external memory 5 22, the CPU 25 reads out, from the address table 23, a head address of a memory area in which a message to be read out is written, and payload data is read out from the receiving buffer area. In addition, with respect to that message, the CPU 25 sets a readout processing bit indicative of the 10 completion of readout to a processed condition.

As mentioned above, the received message assembling section 21b can recognize, as a free area, an area corresponding to the message read out, and can place the received cells successively in that free area. That is, this enables 15 effective use of the limited memory area.

Referring to FIGs. 9(a) to 9(d), a description will be added of a readout method using writing ranks. In this case, writing ranks are added in the order of arrival.

FIG. 9(a) is an illustrative view showing a memory area 20 in a received cell written state. The area of the external memory 22 shown in FIG. 9(a) is equivalent to the receiving buffer area (see FIG. 4), and for example, is partitioned into addresses AA, BB and CC. FIGs. 9(a) to 9(d) similarly show a receiving buffer area.

25 The area from the address AA to the address BB is allocated as a path area 1, and the area from the address BB to the address CC is allocated as a path area 2. In addition, in

the path area 1, there are written three types of cells, i.e., a message (1-1), a message (1-2) and a message (1-3), and there is placed a free area. In like manner, in the path area 1, there are written cells on a message (2-1) and there is placed a free area.

FIG. 9(b) is an illustrative view showing a memory area in a state after the CPU 25 reads out first cells. The message (1-1) shown in FIG. 9(a) is read out, and the area in which that message (1-1) was written becomes a free area as shown 10 in FIG. 9(b).

FIG. 9(c) is an illustrative view showing a memory area in a state after the CPU 25 reads out second cells. As a result of the readout of the message (1-2), the area in which that message (1-2) existed becomes a free area.

15 FIG. 9(d) is an illustrative view showing a memory area in a state after the CPU 25 reads out third cells. As a result of the readout of the message (1-3), the area in which that message (1-3) existed becomes a free area, and the area from the address AA to the address BB becomes a free area.

20 Referring to FIGs. 10(a) to 10(d), a description will be added of a readout method in a case in which writing ranks are added with a stored flag.

FIG. 10(a) is an illustrative view showing a memory area in a received cell written state. A difference between FIG. 25 10(a) and FIGs. 9(a) to 9(d) is that a stored flag (flag area) indicated by (K) is added to received cells in the receiving buffer area. The CPU 25 makes a decision, on the basis of

the value of this stored flag, whether it is a cell already read out or whether it is a cell which is not read out yet. In the path area 1, there are written five types of messages: a message (1-1) to a message (1-5), and there is placed a 5 free area. Moreover, in the path area 2, there is a message (2-1) and there is situated a free area.

FIG. 10(b) is an illustrative view showing a memory area in a state after the CPU 25 reads out second cells. The CPU 25 sees the stored flag on the message (1-2) shown in FIG. 10 10(a), makes a decision to non-readout, and conducts the readout thereof, so the area in which that message (1-2) existed becomes a free area.

FIG. 10(c) is an illustrative view showing a memory area in a state after the CPU 25 reads out a fourth cell. The CPU 15 25 sees the stored flag on the message (1-4) shown in FIG. 10(a), makes a decision to non-readout, and conducts the readout thereof, so the area in which that message (1-4) existed becomes a free area.

FIG. 10(d) is an illustrative view showing a memory area 20 after the readout processing. The areas undergoing the readout processing become a free area.

As mentioned above, since the CPU 25 can examine the stored flag to make a decision on whether or not it is read out, the cells coming from a plurality of paths can be processed 25 individually. A more detailed description about methods for the write and readout of this stored flag will be added later with reference to FIGs. 15(a) to 15(f) and FIGs. 16(a) to

16(f).

Secondly, referring to FIGs. 11(a) to 11(f), FIGs. 12(a) to 12(f), FIGs. 13(a) to 13(f), FIGs. 14(a) to 14(f) and FIGs. 15(a) to 15(f), a description will be added of methods for writing in a memory area, readout from the memory area and check of a residual quantity.

FIG. 11(a) is an illustrative view showing an allocation of a memory area arrangement at reception of a first cell of a first message on path 1. In this case, these memory areas 5 correspond to the receiving buffer area shown in FIG. 4. Also in the figures up to FIGs. 15, they are the same. Moreover, in these memory areas, the receiving buffer area corresponding to one path has 480 bytes (10 cells), and ATM cells from a plurality of paths are allocated to another memory area (memory 10 area from address 01E0 on) different from the path 1 to allow 15 storage of a plurality of messages.

With respect to FIG. 11(a), the following processing is conducted. First of all, a receiving buffer head address = (0000)Hex, a receiving buffer area size = (0000)Hex and 20 a cell count value = (0)Dec are read from the assembling work area K_1 (see FIG. 4), and a decision is made on whether or not it is a leading cell. Here, Hex represents hexadecimal and Dec represents decimal.

In this case, since it is the leading cell, the leading 25 cell processing is conducted so that a lookup area (see FIG. 4) is read, and a receiving buffer head address = (0000)Hex and a receiving buffer area size = (01E0)Hex are read out.

In addition, the writing in the assembling work area K_1 is made as the receiving buffer head address = (0000)Hex, the receiving buffer area size = (01E0)Hex and the cell count value = (1)Dec.

5 Following this, the assembling work area K_2 is read to check the residual quantity, thus providing a residual quantity (message unit) = (0)Dec, a buffer address (message unit) = (0000)Hex, a residual quantity (cell unit) = (0)Dec, a buffer address (cell unit) = (0000)Hex and a residual quantity
10 error flag = (0)Bin where Bin denotes binary.

Moreover, the writing in the assembling work area K_2 is made for a check of the residual quantity, that is, a residual quantity (message unit) = (480)Dec, a buffer address (message unit) = (0000)Hex, a residual quantity (cell unit) = (432)Dec,
15 a buffer address (cell unit) = (0030)Hex and a residual quantity error flag = (0)Bin.

This means that the address table 23 has a residual quantity examining means (assembling work areas K_{2-1} , K_{2-2} , \dots , K_{2-n}) to examine a size of a free area for writing of received cells by checking an indication of a head register and an indication of a message storing/holding section. In addition, the address table 23 has a residual quantity examining means (assembling work areas K_{2-1} , K_{2-2} , \dots , K_{2-n}) to examine a size of a free area for writing of received cells by seeing flag
20 information. The head registers thereof will be described later as start registers 40a and 40b, while the message storing/holding section will be described later as message
25

BOX registers 41a, 41b and 41c.

Furthermore, the message readout method is for reading out cells of a message comprising a plurality of cells and written in a memory area, and if a stored flag does not exist, 5 a message is read out on the basis of writing ranks added in the order of the cell reception processing (first step). On the other hand, when the stored flag is set, flag information representative of whether or not the cell readout processing has been conducted is written in a memory area so that the 10 message is read out on the basis of the added writing ranks (second step).

In addition, a message is read out on the basis of the writing ranks added by an indication of the message storing/holding section which manages a message number of 15 received cells written in the memory area and writing position information (third step). Still additionally, one of the first step, second step and third step is selectively implemented through the setting of the memory area.

Moreover, FIG. 11(b) is an illustration of a memory area 20 arrangement at reception of a second cell of a first message from a path 1. In like manner, the processing is conducted with respect to the path 1. First, a receiving buffer head address = (0000)Hex, a receiving buffer area size = (01E0)Hex and a cell count value = (1)Dec are read from the assembling 25 work area K_1 . Because of no leading cell, the leading cell processing is omitted.

Subsequently, the writing in the assembling work area

K_1 is conducted as a receiving buffer head address = (0000)Hex, a receiving buffer area size = (01E0)Hex and a cell count value = (2)Dec.

Following this, the reading from the assembling work
5 area K_2 is conducted for a check of a residual quantity, that
is, a residual quantity (message unit) = (480)Dec, a buffer
address (message unit) = (0000)Hex, a residual quantity (cell
unit) = (432)Dec, a buffer address (cell unit) = (0030)Hex
and a residual quantity error flag = (0)Bin.

10 In addition, the writing in the assembling work area
 K_2 is made for a check of a residual quantity, that is, a residual
quantity (message unit) = (480)Dec, a buffer address (message
unit) = (0000)Hex, a residual quantity (cell unit) = (384)Dec,
a buffer address (cell unit) = (0060)Hex and a residual quantity
15 error flag = (0)Bin.

In this way, upon reception of one cell, with regard
to that cell, a cell number, a message number, the number
of received cells and others are managed through the use of
the aforesaid a plurality of management information.

20 Accordingly, when cells from a plurality of paths are received,
each cell can be managed individually.

Moreover, since this enables transfer of an AAL5 message
from a plurality of paths, the transfer processing capability
is improvable in total and a shortening of the data transfer
25 time is realizable. Still moreover, since the cell writing
in the receiving buffer memory is achievable dynamically,
the effective use of the memory area is feasible and the PCB

parts mounting area is reducible, which leads to a further reduction of the cost of PCB.

5 In addition, the expansion on the specification and capacity of the receiving buffer area is feasible, which permits constructing a communication unit system having a processing capability according to the traffic of a network and establishing multi-connections in units of path.

10 FIG. 11(c) is an illustration of a memory area arrangement at reception of the last cell of the first message from the path 1.

First, a receiving buffer head address = (0000)Hex, a receiving buffer area size = (01E0)Hex and a cell count value = (2)Dec are read from the assembling work area K_1 .

15 Subsequently, the writing in the assembling work area K_1 is conducted to update to a cell count value = (0)Dec in a state where a receiving buffer head address = (0000)Hex and a receiving buffer area size = (01E0)Hex remain the same.

20 Following this, the reading from the assembling work area K_2 is conducted for a check of a residual quantity, that is, a residual quantity (message unit) = (480)Dec, a buffer address (message unit) = (0000)Hex, a residual quantity (cell unit) = (384)Dec, a buffer address (cell unit) = (0060)Hex and a residual quantity error flag = (0)Bin.

25 In addition, the writing in the assembling work area K_2 is made for a check of a residual quantity, that is, a residual quantity (message unit) = (336)Dec, a buffer address (message unit) = (0090)Hex, a residual quantity (cell unit) = (336)Dec,

a buffer address (cell unit) = (0090)Hex and a residual quantity error flag = (0)Bin.

Still additionally, the write management information in the message BOX 24 is written. That is, written are a 5 received data length = (144)Dec, a buffer head address = (0000)Hex and a cell count value = (3)Dec.

Since the result of the processing after the arrival of the last cell is managed, it is possible to handle the cells coming from a plurality of paths.

10 FIG. 11(d) is an illustration of a memory area arrangement at reception of a first cell of a second message from the path 1. First, a receiving buffer head address = (0000)Hex, a receiving buffer area size = (01E0)Hex and a cell count value = (0)Dec are read from the assembling work area K_1 .

15 Then, the leading cell processing is conducted. That is, the reading from a lookup area is made, thus setting the receiving buffer head address = (0000)Hex and the receiving buffer area size = (01E0)Hex.

20 Subsequently, the writing in the assembling work area K_1 is conducted to set the receiving buffer head address = (0000)Hex, the receiving buffer area size = (01E0)Hex and the cell count value = (1)Dec.

25 Following this, the reading from the assembling work area K_2 is conducted, thus providing a residual quantity (message unit) = (336)Dec, a buffer address (message unit) = (0090)Hex, a residual quantity (cell unit) = (336)Dec, a buffer address (cell unit) = (0090)Hex and a residual quantity

error flag = (0)Bin.

In addition, the writing in the assembling work area K₂ is made to provide a residual quantity (message unit) = (336)Dec, a buffer address (message unit) = (0090)Hex, a residual quantity (cell unit) = (288)Dec, a buffer address (cell unit) = (00C0)Hex and a residual quantity error flag = (0)Bin.

FIG. 11(e) is an illustration of a memory area arrangement at reception of a second cell of the second message from the path 1. FIG. 11(f) is an illustration of a memory area arrangement at reception of a third cell of the second message from the path 1. In like manner, the processing is conducted with respect to the path 1.

That is, in FIG. 11(e), a receiving buffer head address = (0000)Hex, a receiving buffer area size = (01E0)Hex and a cell count value = (1)Dec are read from the assembling work area K₁. Subsequently, the writing in the assembling work area K₁ is conducted, thus providing the receiving buffer head address = (0000)Hex, the receiving buffer area size = (01E0)Hex and the cell count value = (2)Dec. Following this, the reading from the assembling work area K₂ is conducted as a residual quantity (message unit) = (336)Dec, a buffer address (message unit) = (0090)Hex, a residual quantity (cell unit) = (288)Dec, a buffer address (cell unit) = (00C0)Hex and a residual quantity error flag = (0)Bin. In addition, the writing in the assembling work area K₂ is made so that a residual quantity (message unit) = (336)Dec, a buffer address (message unit)

= (0090)Hex, a residual quantity (cell unit) = (240)Dec, a buffer address (cell unit) = (00F0)Hex and a residual quantity error flag = (0)Bin.

In like manner, in FIG. 11(f), the processing is conducted
5 with respect to the path 1. That is, a receiving buffer head
address = (0000)Hex, a receiving buffer area size = (01E0)Hex
and a cell count value = (3)Dec are read from the assembling
work area K_1 . Subsequently, the writing in the assembling
work area K_1 is conducted, thus setting the receiving buffer
10 head address = (0000)Hex, the receiving buffer area size =
(01E0)Hex and the cell count value = (3)Dec. Following this,
the reading from the assembling work area K_2 is conducted as
a residual quantity (message unit) = (336)Dec, a buffer address
15 (message unit) = (0090)Hex, a residual quantity (cell unit)
= (240)Dec, a buffer address (cell unit) = (00F0)Hex and a
residual quantity error flag = (0)Bin. In addition, the
writing in the assembling work area K_2 is made so that a residual
quantity (message unit) = (336)Dec, a buffer address (message
unit) = (0090)Hex, a residual quantity (cell unit) = (192)Dec,
20 a buffer address (cell unit) = (0120)Hex and a residual quantity
error flag = (0)Bin.

FIG. 12(a) is an illustration of a memory area arrangement
at reception of a fourth cell of the second message from the
path 1, and processing is conducted in like manner. That is,
25 a receiving buffer head address = (0000)Hex, a receiving buffer
area size = (01E0)Hex and a cell count value = (3)Dec are
read from the assembling work area K_1 . Subsequently, the

writing in the assembling work area K_1 is conducted to provide the receiving buffer head address = (0000)Hex, the receiving buffer area size = (01E0)Hex and the cell count value = (4)Dec. Following this, the reading on the assembling work area K_2 5 is conducted as a residual quantity (message unit) = (336)Dec, a buffer address (message unit) = (0090)Hex, a residual quantity (cell unit) = (192)Dec, a buffer address (cell unit) = (0120)Hex and a residual quantity error flag = (0)Bin. In addition, the writing in the assembling work area K_2 is made 10 to provide a residual quantity (message unit) = (336)Dec, a buffer address (message unit) = (0090)Hex, a residual quantity (cell unit) = (144)Dec, a buffer address (cell unit) = (0150)Hex and a residual quantity error flag = (0)Bin.

FIG. 12(b) is an illustration of a memory area arrangement 15 at reception of a fifth cell of the second message from the path 1, and processing is conducted in like manner. That is, a receiving buffer head address = (0000)Hex, a receiving buffer area size = (01E0)Hex and a cell count value = (4)Dec are read from the assembling work area K_1 . Subsequently, the 20 writing in the assembling work area K_1 is conducted to provide the receiving buffer head address = (0000)Hex, the receiving buffer area size = (01E0)Hex and the cell count value = (5)Dec. Following this, the reading from the assembling work area K_2 is conducted as a residual quantity (message unit) = (336)Dec, 25 a buffer address (message unit) = (0090)Hex, a residual quantity (cell unit) = (144)Dec, a buffer address (cell unit) = (0150)Hex and a residual quantity error flag = (0)Bin. In

addition, the writing in the assembling work area K_2 is made to provide a residual quantity (message unit) = (336)Dec, a buffer address (message unit) = (0090)Hex, a residual quantity (cell unit) = (96)Dec, a buffer address (cell unit) = (0180)Hex and a residual quantity error flag = (0)Bin.

FIG. 12(c) is an illustration of a memory area arrangement at reception of the last cell of the second message from the path 1, and processing is conducted in like manner. That is, a receiving buffer head address = (0000)Hex, a receiving buffer area size = (01E0)Hex and a cell count value = (5)Dec are read from the assembling work area K_1 . Subsequently, the writing in the assembling work area K_1 is conducted to provide the receiving buffer head address = (0000)Hex, the receiving buffer area size = (01E0)Hex and the cell count value = (0)Dec.

At this time, the count value is reset to 0. Following this, the reading from the assembling work area K_2 is conducted as a residual quantity (message unit) = (336)Dec, a buffer address (message unit) = (0090)Hex, a residual quantity (cell unit) = (96)Dec, a buffer address (cell unit) = (0180)Hex and a residual quantity error flag = (0)Bin. In addition, the writing in the assembling work area K_2 is made to provide a residual quantity (message unit) = (48)Dec, a buffer address (message unit) = (01B0)Hex, a residual quantity (cell unit) = (48)Dec, a buffer address (cell unit) = (01B0)Hex and a residual quantity error flag = (0)Bin.

At the time of the completion of the processing of FIG. 12(c), the write management information in the message BOX

24 is as follows. That is, a received data length = (288)Dec, a buffer head address = (0090)Hex and a cell count value = (6)Dec. FIG. 12(d) is an illustration of a memory area arrangement at reception of a first cell of a third message 5 from the path 1, and the processing is conducted in like manner. First, a receiving buffer head address = (0000)Hex, a receiving buffer area size = (01E0)Hex and a cell count value = (0)Dec are read from the assembling work area K_1 . Then, the leading cell processing is conducted so that the receiving buffer 10 head address = (0000)Hex and the receiving buffer area size = (01E0)Hex are read from the lookup area. Subsequently, the writing in the assembling work area K_1 is conducted to provide the receiving buffer head address = (0000)Hex, the receiving buffer area size = (01E0)Hex and the cell count value = (1)Dec. 15 Following this, the reading from the assembling work area K_2 is conducted as a residual quantity (message unit) = (48)Dec, a buffer address (message unit) = (01B0)Hex, a residual quantity (cell unit) = (48)Dec, a buffer address (cell unit) = (01B0)Hex and a residual quantity error flag = (0)Bin. In 20 addition, the writing in the assembling work area K_2 is made to provide a residual quantity (message unit) = (48)Dec, a buffer address (message unit) = (01B0)Hex, a residual quantity (cell unit) = (0)Dec, a buffer address (cell unit) = (0000)Hex and a residual quantity error flag = (0)Bin.

25 Furthermore, a description will be added of a processing method to be taken for when a residual quantity error occurs. FIG. 12(e) is an illustration of a memory area arrangement

at reception of a second cell of the third message from the path 1, and shows a memory area arrangement in a case in which a residual quantity error occurs. First, a receiving buffer head address = (0000)Hex, a receiving buffer area size = 5 (01E0)Hex and a cell count value = (1)Dec are read from the assembling work area K_1 .

Subsequently, the writing in the assembling work area K_1 is conducted so that the receiving buffer head address = (0000)Hex, the receiving buffer area size = (01E0)Hex and 10 the cell count value = (2)Dec.

Following this, the reading from the assembling work area K_2 is conducted so that a residual quantity (message unit) = (48)Dec, a buffer address (message unit) = (01B0)Hex, a residual quantity (cell unit) = (0)Dec, a buffer address (cell unit) = (0000)Hex and a residual quantity error flag = (0)Bin, 15 with the residual quantity (cell unit) being 0.

In addition, the writing in the assembling work area K_2 is made so that a residual quantity (message unit) = (48)Dec, a buffer address (message unit) = (01B0)Hex, a residual 20 quantity (cell unit) = (0)Dec, a buffer address (cell unit) = (0000)Hex and a residual quantity error flag = (1)Bin.

In this case, the writing of the received cells is not made, while the residual quantity error flag becomes 1 and this fact is communicated.

25 FIG. 12(f) is an illustration of a memory area arrangement at reception of the last cell of the third message from the path 1, and shows a memory area arrangement in a case in which

a residual quantity error occurs. the processing is conducted in like manner. First, a receiving buffer head address = (0000)Hex, a receiving buffer area size = (01E0)Hex and a cell count value = (2)Dec are read from the assembling work area K_1 . Subsequently, the writing in the assembling work area K_1 is conducted so that the receiving buffer head address = (0000)Hex, the receiving buffer area size = (01E0)Hex and the cell count value = (0)Dec. Following this, the reading from the assembling work area K_2 is conducted so that a residual quantity (message unit) = (48)Dec, a buffer address (message unit) = (01B0)Hex, a residual quantity (cell unit) = (0)Dec, a buffer address (cell unit) = (0000)Hex and a residual quantity error flag = (1)Bin, with the residual quantity (cell unit) being 0. In addition, the writing in the assembling work area K_2 is made to set a residual quantity (message unit) = (48)Dec, a buffer address (message unit) = (01B0)Hex, a residual quantity (cell unit) = (48)Dec, a buffer address (cell unit) = (01B0)Hex and a residual quantity error flag = (0)Bin. Still additionally, the write management information in the message BOX 24 becomes a received data length = (0)Dec, a buffer head address = (0000)Hex, a cell count value = (0)Dec and a residual quantity error flag = (1)Bin.

A difference from FIG. 12(e) is that the cell count value = (2)Dec. In addition, at the reading from the assembling work area K_2 , the residual quantity error flag is read out as 1. Still additionally, the residual quantity (cell unit) is written as (48)Dec.

In this case, the write management information in the message BOX 24 remains the same, that is, the received data length = (0)Dec, the buffer head address = (0000)Hex and the cell count value = (0)Dec, and the residual quantity error 5 flag 1 is written therein, while the received cells are not written therein.

On the other hand, when the message length is one cell, the writing is made normally. FIG. 13(a) is an illustration of a memory area arrangement at reception of the last cell 10 of a fourth message from the path 1. In this case, since one cell is written in the last free area, the following processing is conducted.

First, a receiving buffer head address = (0000)Hex, a receiving buffer area size = (01E0)Hex and a cell count value 15 = (0)Dec are read from the assembling work area K_1 .

Then, the leading cell processing is conducted. That is, the reading from a lookup area is made, thus setting the receiving buffer head address = (0000)Hex and the receiving buffer area size = (01E0)Hex.

20 Subsequently, the writing in the assembling work area K_1 is conducted to update to the cell count value = (0)Dec in a state where the receiving buffer head address = (0000)Hex, the receiving buffer area size = (01E0)Hex remain the same.

Following this, the reading from the assembling work 25 area K_2 is conducted, thus setting a residual quantity (message unit) = (48)Dec, a buffer address (message unit) = (01B0)Hex, a residual quantity (cell unit) = (48)Dec, a buffer address

(cell unit) = (01B0)Hex and a residual quantity error flag = (0)Bin.

In addition, the writing in the assembling work area K₂ is made to provide a residual quantity (message unit) = 5 (0)Dec, a buffer address (message unit) = (0000)Hex, a residual quantity (cell unit) = (0)Dec, a buffer address (cell unit) = (0000)Hex and a residual quantity error flag = (0)Bin.

Still additionally, the write management information in the message BOX 24 is written. That is, written area receive 10 data length = (48)Dec, a buffer head address = (01B0)Hex and a cell count value = (1)Dec.

At this time, the message readout notification is added to the CPU 25. FIG. 13(b) is an illustration of a memory area arrangement at the first message readout notification to the 15 CPU 25. In this case, the write management information in the message BOX 24 is written. That is, there are written a received data length = (144)Dec, a buffer head address = (0000)Hex and a cell count value = (3)Dec.

In this state, the processing to conducted at the 20 reception of a first cell of a fifth message is as follows. FIG. 13(c) is an illustration of a memory area arrangement at the reception of the first cell of the fifth message from the path 1, and shows a memory area arrangement in a case 25 in which a residual quantity error occurs. In this case, the residual quantity error flag indicative of the absence of a writing area is written as (1)Bin. That is, the processing is conducted in like manner so that a receiving buffer head

address = (0000)Hex, a receiving buffer area size = (01E0)Hex and a cell count value = (0)Dec are read from the assembling work area K_1 , and the leading cell processing is conducted, and further the reading from the lookup area is made as a receiving buffer head address = (0000)Hex and a receiving buffer area size = (01E0)Hex. Subsequently, the writing in the assembling work area K_1 is made as the receiving buffer head address = (0000)Hex, the receiving buffer area size = (01E0) and the cell count value = (1)Dec. Following this, the reading from the assembling work area K_2 is made as a residual quantity (message unit) = (0)Dec, a buffer address (message unit) = (0000)Hex, a residual quantity (cell unit) = (0)Dec, a buffer address (cell unit) = (0000)Hex and a residual quantity error flag = (0)Bin. Moreover, the writing in the assembling work area K_2 is made as a residual quantity (message unit) = (0)Dec, a buffer address (message unit) = (0000)Hex, a residual quantity (cell unit) = (0)Dec, a buffer address (cell unit) = (0000)Hex and a residual quantity error flag = (1)Bin.

FIG. 13(d) is an illustration of a memory area arrangement at the reception of a second cell of the fifth message from the path 1, and shows a memory area arrangement in a case in which a residual quantity error occurs. In this case, a difference from FIG. 13(c) is that the cell count value becomes (1)Dec and at the readout processing from the assembling work area K_2 , the residual error flag is read out as (1)Bin. Similarly, also at the write processing in the assembling work area K_2 , the residual quantity error flag is written as

(1)Bin. That is, the processing is conducted in like manner so that a receiving buffer head address = (0000)Hex, a receiving buffer area size = (01E0)Hex and a cell count value = (1)Dec are read from the assembling work area K_1 , and the writing 5 in the assembling work area K_1 is made as the receiving buffer head address = (0000)Hex, the receiving buffer area size = (01E0)Hex and the cell count value = (2)Dec. Following this, the reading from the assembling work area K_2 is made as a residual quantity (message unit) = (0)Dec, a buffer address (message 10 unit) = (0000)Hex, a residual quantity (cell unit) = (0)Dec, a buffer address (cell unit) = (0000)Hex and a residual quantity error flag = (1)Bin. Moreover, the writing in the assembling work area K_2 is made as a residual quantity (message unit) = (0)Dec, a buffer address (message unit) = (0000)Hex, a 15 residual quantity (cell unit) = (0)Dec, a buffer address (cell unit) = (0000)Hex and a residual quantity error flag = (1)Bin.

FIG. 13(e) is an illustration of a memory area arrangement after the CPU 25 reads out a second message. The three leading areas of the external memory 22 shown in FIG. 13(e) are 20 released.

In addition, the write management information in the message BOX 24 is written so that written are a received data length = (288)Dec, a buffer head address = (0090)Hex and a cell count value = (6)Dec.

25 Following this, the reading on the assembling work area K_2 is made to set a residual quantity (message unit) = (0)Dec, a buffer address (message unit) = (0000)Hex, a residual

quantity (cell unit) = (0)Dec, a buffer address (cell unit) = (0000)Hex and a residual quantity error flag = (1)Bin.

Moreover, the writing in the assembling work area K_2 is made for a check of a residual quantity, that is, a residual quantity (message unit) = (144)Dec, a buffer address (message unit) = (0000)Hex, a residual quantity (cell unit) = (144)Dec, a buffer address (cell unit) = (0000)Hex and a residual quantity error flag = (1)Bin.

FIG. 13(f) is an illustration of a memory area arrangement at reception of the last cell of the fifth message from the path 1, and shows an memory area arrangement in a case in which a residual quantity error occurs. Recognition on third/three cells is made so that the cell count value is reset to (0)Dec. That is, a receiving buffer head address = (0000)Hex, a receiving buffer area size = (01E0)Hex and a cell count value = (2)Dec are read from the assembling work area K_1 . Then, the writing in the assembling work area K_1 is made as the receiving buffer head address = (0000)Hex, the receiving buffer area size = (01E0)Hex and the cell count value = (0)Dec. Following this, the reading from the assembling work area K_2 is made as a residual quantity (message unit) = (144)Dec, a buffer address (message unit) = (0000)Hex, a residual quantity (cell unit) = (144)Dec, a buffer address (cell unit) = (0000)Hex. Moreover, as in the case of FIG. 13(d), at the readout processing on the assembling work area K_2 , the residual quantity error flag is read out as (1)Bin. Still moreover, the writing in the assembling work area K_2

is made as a residual quantity (message unit) = (144)Dec, a buffer address (message unit) = (0000)Hex, a residual quantity (cell unit) = (144)Dec, a buffer address (cell unit) = (0000)Hex. Since at the write processing in the assembling 5 work area K₂, there is a free area which permits the writing of a received cell, the residual quantity error flag is written as (0)Bin.

In addition, the write management information within the message BOX 24 is written to set a received data length 10 = (0)Dec, a buffer head address = (0000)Hex and a cell count value = (0)Dec, with the residual quantity error flag being written as (1)Bin.

FIG. 14(a) is an illustration of a memory area arrangement at the reception of a first cell of a sixth message from the 15 path 1. First, a receiving buffer head address = (0000)Hex, a receiving buffer area size = (01E0)Hex and a cell count value = (0)Dec are read from the assembling work area K₁. Then, the leading cell processing is conducted and the reading from the lookup area is made to provide the receiving buffer head 20 address = (0000)Hex and the receiving buffer area size = (01E0)Hex.

In addition, the writing in the assembling work area K₁ is made as the receiving buffer head address = (0000)Hex, the receiving buffer area size = (01E0)Hex and the cell count 25 value = (1)Dec.

Following this, the reading from the assembling work area K₂ is made as a residual quantity (message unit) = (144)Dec,

a buffer address (message unit) = (0000)Hex, a residual quantity (cell unit) = (144)Dec, a buffer address (cell unit) = (0000)Hex and a residual quantity error flag = (0)Bin.

Moreover, the writing in the assembling work area K_2 is
5 made as a residual quantity (message unit) = (144)Dec, a buffer address (message unit) = (0000)Hex, a residual quantity (cell unit) = (96)Dec, a buffer address (cell unit) = (0030)Hex and a residual quantity error flag = (0)Bin.

FIG. 14(b) is an illustration of a memory area arrangement
10 at the reception of a second cell of the sixth message from the path 1, and the processing is conducted in like manner. First, a receiving buffer head address = (0000)Hex, a receiving buffer area size = (01E0)Hex and a cell count value = (1)Dec are read from the assembling work area K_1 . Then, the writing
15 in the assembling work area K_1 is made as the receiving buffer head address = (0000)Hex, the receiving buffer area size = (01E0)Hex and the cell count value = (2)Dec. Following this, the reading from the assembling work area K_2 is made as a residual quantity (message unit) = (144)Dec, a buffer address (message unit) = (0000)Hex, a residual quantity (cell unit) = (96)Dec, a buffer address (cell unit) = (0030)Hex and a residual quantity error flag = (0)Bin. Moreover, the writing in the assembling work area K_2 is made as the residual quantity (message unit) = (144)Dec, the buffer address (message unit) = (0000)Hex, the residual quantity (cell unit) = (48)Dec, the buffer address (cell unit) = (0060)Hex and a residual quantity error flag = (0)Bin.

FIG. 14(c) is an illustration of a memory area arrangement at the reception of a third cell of the sixth message from the path 1, and the processing is conducted in like manner. First, a receiving buffer head address = (0000)Hex, a receiving buffer area size = (01E0)Hex and a cell count value = (2)Dec are read from the assembling work area K_1 . Then, the writing in the assembling work area K_1 is made as the receiving buffer head address = (0000)Hex, the receiving buffer area size = (01E0)Hex and the cell count value = (3)Dec. Following this, the reading from the assembling work area K_2 is made as a residual quantity (message unit) = (144)Dec, a buffer address (message unit) = (0000)Hex, a residual quantity (cell unit) = (48)Dec, a buffer address (cell unit) = (0060)Hex and a residual quantity error flag = (0)Bin. Moreover, the writing in the assembling work area K_2 is made as the residual quantity (message unit) = (144)Dec, the buffer address (message unit) = (0000)Hex, the residual quantity (cell unit) = (0)Dec, the buffer address (cell unit) = (0090)Hex and a residual quantity error flag = (0)Bin. In these FIGs. 14(b) and 14(c), the count value of received cells and the write head address of the memory area are incremented. That is, by the processing after the area arrangement shown in FIG. 14(c), the cell count value becomes (3)Dec, and the buffer address (cell unit) = (0090) and the residual quantity error flag = (0)Bin.

At this time, the readout processing is conducted with respect to the third message. This third message was not written in FIGs. 12(e) and 12(f). FIG. 14(d) is an

illustration of a memory area arrangement after the CPU 25 reads out the third message. Six areas (address 0090 to address 0180) of the external memory 22 shown in FIG. 14(d) are released.

5 In addition, the write management information in the message BOX 24 is written so that written are a received data length = (0)Dec, a buffer head address = (0000)Hex, a cell count value = (0)Dec and a residual quantity error flag = (1)Bin. Accordingly, the readout processing is not conducted
10 with respect to the third message, and for indicating this, the residual quantity error flag = (1)Bin.

Following this, the reading from the assembling work area K_2 is made as a residual quantity (message unit) = (144)Dec, a buffer address (message unit) = (0000)Hex, a residual
15 quantity (cell unit) = (0)Dec, a buffer address (cell unit) = (0090)Hex and a residual quantity error flag = (0)Bin. This can indicate that there is a sufficient area.

Moreover, the writing in the assembling work area K_2 is made for a check of the residual quantity, that is, the residual
20 quantity (message unit) = (432)Dec, the buffer address (message unit) = (0000)Hex, the residual quantity (cell unit) = (288)Dec, the buffer address (cell unit) = (0090)Hex and a residual quantity error flag = (0)Bin.

Furthermore, FIG. 14(e) is an illustration of a memory area arrangement at the reception of a fourth cell of the sixth message from the path 1. First, a receiving buffer head address = (0000)Hex, a receiving buffer area size = (01E0)Hex

and a cell count value = (3)Dec are read from the assembling work area K_1 .

Then, the writing in the assembling work area K_1 is made as the receiving buffer head address = (0000)Hex, the receiving buffer area size = (01E0)Hex and the cell count value = (4)Dec.

Following this, the reading from the assembling work area K_2 is made to obtain a residual quantity (message unit) = (432)Dec, a buffer address (message unit) = (0000)Hex, a residual quantity (cell unit) = (288)Dec, a buffer address (cell unit) = (0090)Hex and a residual quantity error flag = (0)Bin.

Moreover, the writing in the assembling work area K_2 is made as the residual quantity (message unit) = (432)Dec, the buffer address (message unit) = (0000)Hex, the residual quantity (cell unit) = (240)Dec, the buffer address (cell unit) = (00C0)Hex and a residual quantity error flag = (0)Bin.

Lastly, FIG. 14(f) is an illustration of a memory area arrangement at the reception of the last cell of the sixth message from the path 1. That is, a receiving buffer head address = (0000)Hex, a receiving buffer area size = (01E0)Hex and a cell count value = (4)Dec are read from the assembling work area K_1 . Then, the writing in the assembling work area K_1 is made as the receiving buffer head address = (0000)Hex, the receiving buffer area size = (01E0)Hex and the cell count value = (5)Dec. Following this, the reading from the assembling work area K_2 is made to obtain a residual quantity (message unit) = (432)Dec, a buffer address (message unit)

= (0000)Hex, a residual quantity (cell unit) = (240)Dec, a buffer address (cell unit) = (00C0)Hex and a residual quantity error flag = (0)Bin. Moreover, the writing in the assembling work area K_2 is made as the residual quantity (message unit) = (192)Dec, the buffer address (message unit) = (00F0)Hex, the residual quantity (cell unit) = (192)Dec and the buffer address (cell unit) = (00F0)Hex. Since at the write processing in the assembling work area K_2 , there is a free area for received cells, a residual quantity error flag is written as (0)Bin.

That is, recognition on fourth/four cells is made so that the cell count value is set to (4)Dec. In addition, at the readout processing from the assembling work area K_2 , the residual quantity (cell unit) becomes (240)Dec. Still additionally, at the write processing from the assembling work area K_2 , the residual quantity (message unit) = (192)Dec, the buffer address (message unit) = (00F0)Hex, the residual quantity (cell unit) = (192)Dec, the buffer address (cell unit) = (00F0)Hex, and the residual quantity error flag = (0)Bin.

Moreover, the write management information in the message BOX 24 is written so that written are a received data length = (240)Dec, a buffer head address = (0000)Hex and a cell count value = (5)Dec.

When one cell is received in this way, with regard to that cell, a cell number, a message number, the number of received cells and others are managed through the use of the aforesaid plurality of management information. Accordingly,

upon the reception of cells coming from a plurality of paths, the management can be made individually with respect to each cell.

Referring to FIGs. 15(a) to 15(f), a more detailed 5 description will be added of the write method using a stored flag mentioned above with reference to FIGs. 10(a) to 10(d). Moreover, a readout method using a stored flag will be described thereafter with reference to FIGs. 16(a) to 16(f).

FIGs. 15(a) to 15(f) are illustrations for explaining 10 a write method in which writing ranks are added through the use of a stored flag. These FIGs. 15(a) to 15(f) show a write example in which a receiving buffer area corresponding to one path are set in a range from an address 0000 to an address 0FFF (4 Kbyte).

15 FIG. 15(a) is an illustration of an area arrangement immediately after the writing of a cell, whose cell number is 2, in a first message. A cell (1-1), together with a stored flag, is written at the address 0000 of the external memory 22 shown in FIG. 15(a). This stored flag is expressed by bits 20 constituting two bytes, and is composed of a message number and a readout processing bit. Accordingly, it functions as a flag area. For example, when the message number is 1 and the readout processing bit is 0 (processed), this is expressed as follows.

25 (K1) 01 + 0 (processed)

Thus, the address table 23 is made to add a writing rank to a received cell in a manner that flag information on whether

or not the received cell is read out is written in the flag area (K1) placed in a memory area.

In addition, in this FIG. 15(a), there are indicated start registers 40a, 40b and message BOX registers 41a, 41b, 5 41c. The start register 40a functions as a head address holding section to manage a writing position at which a received cell is written in the memory area. The start register 40b is for representing a message number status. The indication is made such that the next write address is 0100 and the number 10 of a message being assembled is 01.

Moreover, in FIG. 15(a), the message BOX register 41a indicates a message number, and the message BOX register 41b indicates a message head address, and these function as a message storing/holding section to manage the message number 15 of the received cell written and the write address. The message BOX register 41c indicates the number of cells in the message.

Thus, the address table 23 is made to add a writing rank by reading out the indication of the head address holding 20 section (start registers 40a, 40b) for managing the writing position at which the received cell is written in the memory area and the indication of the message storing/holding section (message BOX registers 41a, 41b, 41c) for managing the message 25 number of the received cell written and the writing position information.

In addition, when reading out each cell of a message comprising a plurality of cells and written in the memory

area, the message readout apparatus can read out the written cell by three means mentioned below in (i) to (iii) through the use of the CPU 25 and the external memory 22. That is, the address table 23 of the message readout apparatus functions 5 as a control means and can select one of the first means, the second means and the third means through the setting of the memory area.

(i) First Means

A message is read out on the basis of a writing rank 10 added in the order of the cell reception processing.

(ii) Second Means

A message is read out on the basis of a writing rank added in a manner that flag information (stored flag) indicative of whether or not the readout processing is 15 conducted with respect to the cell is written in the memory area.

(iii) Third Means

A message is read out on the basis of the writing rank added by an indication of the message storing/holding section 20 (message BOX registers 41a, 41b, 41c) which manages the message number of the received cell written in the memory area and the writing position information.

FIG. 15(b) is an illustration of an area arrangement when a first message is written. The arrangement shown in 25 FIG. 15(b) is taken at the reception of a message comprising five cells, and the start register 40a indicates an address 0250.

FIG. 15(c) is an illustration of an area arrangement at the writing of a second message. The arrangement shown in FIG. 15(c) is taken at the reception of a message comprising two cells, and holds write information on the first message and write information on the second message. Concretely, the message BOX registers 41a, 41b and 41c indicate that the message number is 1, the message head address is 0000 and the number of cells in the message is 5, and further indicate that the message number is 2, the message head address is 0250 and the number of cells in the message is 2.

Similarly, FIG. 15(d) is an illustration of an area arrangement at the writing of a third message, FIG. 15(e) is an illustration of an area arrangement at the writing of a fourth message, and FIG. 15(f) is an illustration of an area arrangement at the writing of a fifth message. The contents shown in these illustrations are the same as those mentioned with reference to FIG. 15(c), and the repeated description thereof will be omitted.

This allows the CPU 25 to see the stored flag for making a decision on whether already read out or not, and hence, it is possible to individually handle cells coming from a plurality of paths.

Secondly, a description will be added of a flow of the readout. FIGs. 16(a) to 16(f) are illustrations for explaining a method of adding a writing rank through the use of the stored flag to read out a written cell. Five types of messages are written in a receiving buffer area shown in

FIGs. 16(a) to 16(f). In addition, each of stored flags (K1) to (Ka) functions as a flag area.

FIG. 16(a) is an area arrangement before readout. As FIG. 16(a) shows, there are written a first message 1 (address 0000 to address 0250) having a five-cells arrangement, a second message 2 (address 0250 to address 0350) having a two-cells arrangement, a third message 3 (address 0350 to address 0500) having a three-cells arrangement, a fourth message 4 (address 0350) having a one-cell arrangement, and a fifth message 5 (address 0550 to 0700) having a three-cells arrangement.

In this case, the stored flag, the start registers 40a, 40b and the message BOX registers 41a, 41b, 41c are the same as those mentioned above, and the repeated description thereof will be omitted. In addition, also with respect to the following illustrations, the description of the same contents may be omitted.

FIG. 16(b) is an illustration of an area arrangement after readout of the second message. The message written in the second place is read out, and this creates a free area. At this time, the stored flag (K2) for the second message assumes the following indication.

(K2) 02 + 0 (processed)

FIG. 16(c) is an illustration of an area arrangement at the readout of the fourth message, and in the case of the area arrangement at the readout of the fourth message, the stored flag at this time takes the following indication.

(K2) 02 + 0 (processed)

(K4) 04 + 0 (processed)

For example, the stored flag on the sixth message which has not yet been read out at this time takes the following indication.

5 (K6) 06 + 1 (non-processed)

FIG. 16(d) is an illustration of an area arrangement when the messages up to the ninth are written and the fifth message is being read out. For example, the stored flags for the fifth and ninth messages have the following indications, 10 respectively.

(K5) 05 + 1 (non-processed)

(K9) 09 + 1 (non-processed)

The (K5) is changed to 05 + 1 (processed) after read out.

15 FIG. 16(e) is an illustration of an area arrangement when the messages up to the tenth have been written and in a case in which received cells can be written in the remaining free areas. For example, the stored flags on the fifth and tenth messages have the following indications, respectively.

20 (K5) 05 + 0 (processed)

(Ka) 0a + 1 (non-processed)

Thus, the CPU 25 performs the write and readout on received cells through the use of the values of the stored flag and, thereafter, updates the management information. This 25 enables processing cells coming from a plurality of paths without abandoning. Moreover, efficient use of a free area becomes feasible.

In addition, it is possible to monitor the size of the remaining free area of the memory area through the use of these values. FIG. 16(f) is an illustration of an area arrangement at the reception of an eleventh message. This 5 eleventh message comprises five cells, and the remaining free area does not permit the writing.

As mentioned above, in the case of small remaining free area, the new writing is inhibitable, which can prevents a non-processed area from being subjected to writing in a state 10 invaded.

The cell assembling processing is conducted with this arrangement. A description will be added hereinbelow of a method for writing in a receiving buffer area in cell units and in message units.

15 FIG. 17 is a flowchart showing an operation for receive processing according to an embodiment of the present invention. First of all, in a step N1, cells being divisions of an AAL5 message and having path information are received from a plurality of points (receive step), and in a step N2, path 20 recognition processing is conducted to extract the path information on the cells received in the receive step for allocating a memory area larger than the size of the AAL5 message corresponding to the path information (message area allocating step), thereby generating an address K_1 of an 25 assembling work area K_1 in the address table corresponding to that path.

Following this, in a step N3, the read processing on

the assembling work area K_1 is conducted to read out the assembling work area K_1 data corresponding to that path on the basis of the address K_1 generated in the step N2. That is, a cell count value in an area K_{1-1} (represents a path 1 in the assembling work area K_1) of the assembling work area K_1 corresponding to that path is read out from the address K_1 to make a decision on whether it is the head or non-head.

Subsequently, in a step N4, the message head recognition processing is conducted to make a decision, on the basis of the cell count value of the data of the assembling work area K_1 (area indicated by K_1) read in the step N3, as to whether or not a cell being processed currently is the head of the message. If it is the head, an YES route is taken so that a lookup area address corresponding to that path is generated and, in a step N5, the lookup area data corresponding to that path is read out on the basis of the generated address. If it is the non-head, a NO route is taken so that the lookup area read processing is not conducted but the receiving buffer area determination processing is conducted on the basis of the assembling work area K_1 data in a step N6.

The receiving buffer area determination processing in the step N6 is as follows. That is, upon the reception of the message head, a decision is made as to whether the message assembling processing is conducted in accordance with the PATHEN setting of the lookup area data, or the cells are abandoned without the message assembling. Moreover, upon the reception of other than the message head, a decision is made

as to whether the message assembling processing is conducted in accordance with the PATHEN setting of the assembling work area data or the cells are abandoned without the message assembling. At this time, if the setting shows the message 5 assembling processing, addresses for writing of received data are generated on the basis of a received message start address.

In addition, the assembling work area K_1 write processing is conducted in a step N7. That is, the cell count value of the assembling work area data read out in the step N3 is updated 10 by +1, and overwritten in the assembling work area for the assembling work area data in the address table of the external memory, read out in the step N3. Moreover, at the reception of the message head, the lookup area data itself, read out in the step N5, is overwritten in the assembling work area 15 in the address table.

The assembling work area K_2 write processing is conducted in step N8. After the completion of the processing in the step N7, an address of the assembling work area K_2 of the external memory corresponding to that path is generated and read out.

20 Accordingly, when a received cell is written in the memory area allocated in the aforesaid message area allocating step, a writing rank is added to the received cell (writing rank step).

The external memory residual quantity check processing 25 is conducted in a step N9, and the assembling work area K_2 write processing is conducted in a step N10. A check on the residual quantity of the receiving buffer area is made on

the basis of the residual quantity value of the assembling work area K_2 read out in the step N7, and with respect to a cell on which a residual quantity error (when the remaining area is smaller than an area corresponding to one cell) occurs, 5 in order to abandon the entire message corresponding to that cell, a flag is set at a residual quantity error bit of the assembling work area K_2 data read out in the step N8 until the last cell of the message is received, and overwritten in the assembling work area K_2 in the address table of the 10 external memory.

When the residual quantity check shows no error, updating is made such that 48 is subtracted from the residual quantity value of the assembling work area K_2 read out in the step N8 and 48 is added to a data writing head address value for the 15 next reception, and these values are overwritten in the assembling work area K_2 in the address table.

Furthermore, the received data write processing is conducted in a step N11. On the basis of the head address of the receiving buffer area for the assembling work area 20 K_2 data read out in the step N8, 48 bytes constituting a payload portion of the received data are written in the receiving buffer area. That is, the received cells are written in the memory area in accordance with the writing ranks added in the aforesaid writing rank step (storing step). In addition, 25 after the processing in the step N11, a decision is made as to whether or not it is the last cell.

Moreover, in a step N12, a decision is made as to whether

or not it is the last cell (the last cell of the message in units of path). If the decision shows the last cell, the YES route is taken so that the message BOX notification processing is conducted in a step N13. That is, when the decision is 5 made to the last cell of the message, the information on that message, i.e., a write head address of the receiving buffer area, a message length, a receive trailer value and each error information, are written in the message BOX area, and the message assembling in path unit comes to an end. Moreover, 10 the IRQ notification is made to the CPU in a manner that they are written in the message BOX area.

Subsequently, the message BOX readout processing to the CPU is conducted in a step N14. That is, the CPU reads out the data written in the message BOX area on the basis of the 15 IRQ notification, and reads out a received message of the received buffer area from information of the data.

In this connection, if the decision in the step N12 does not show the last cell, the NO route is taken so that the operation returns to the step N1 to repeatedly implement the 20 aforesaid steps N2 to N12.

Furthermore, the assembling work area K_2 readout processing is conducted in a step N15. After the completion of the processing in the step N14, the assembling work area K_2 for that path is read out. In addition, the residual 25 quantity is updated in a step N16 and the assembling work area K_2 write processing is conducted in a step N17. That is, a value corresponding to the message length read out in

the step N14 is added to the residual quantity value of the assembling work area K_2 data read out in the step N15 for the write updating of the assembling work area K_2 for the next processing.

5 Thus, when one cell is received, with regard to that cell, a cell number, a message number, the number of received cells and others are managed through the use of the aforesaid plurality of management information; therefore, the efficient use of the memory area becomes feasible.

10 Moreover, since the transfer of the AAL5 message from a plurality of paths becomes possible in this way, the transfer processing capability is improvable in total and a shortening of the data transference time is realizable. Still moreover, since the cell writing in the receiving buffer memory becomes dynamic, 15 the effective use of the memory area becomes possible and the PCB parts mounting area is reducible, which leads to promoting the cost reduction of PCB.

20 In addition, the multi-connections (see FIG. 1) can be made in this way. That is, it is possible to time-division-multiplex the data from ordinary users, which enables transfer of a large volume of data.

25 Fig. 18 is a flowchart showing receive processing using a stored flag, according to an embodiment of the present invention. Moreover, the processing is a write processing flowchart for other than the last cell.

First of all, upon reception of ATM cells from a plurality of points (step W1), the path on the ATM cells is extracted,

and the address table set in advance is referred to, and further addresses for storing payload data of the received cells are recognized on the basis of the set path (step W2).

Moreover, a check is made as to the order of the cells
5 in the message, and a check is made as to whether the incoming received cell is the last cell of the AAL5 message or another cell (step W3). Still moreover, in a step W4, a check is made on the PT bit of the header of the received cell. If PT = 1, a decision is made to the last cell and a route labeled
10 with "last cell" is selected (see a portion indicated by B in FIG. 19). If PT = 0, a decision is made to other than the last cell and a route labeled with "other than last cell" is taken.

Furthermore, in a step W5, the start register is read
15 to extract a head address at which the payload data of the incoming cell is written and a message number whereby the order of the message on that path is recognized. Then, in a step W6, a leading cell identifying bit in the message is checked to make a decision as to whether that cell is at the
20 head or other than the head.

In the case of the leading cell, the YES route is selected so that, in a step W7, the setting to the message BOX/register which manages information in message unit is made with respect to a received cell. As the setting contents, a head address
25 at which the message, when its turn comes, is stored on the basis of the status value of the message number read out in the step W5.

Still furthermore, in a step W8, a message number and a processing bit set into a non-processed condition are written as two-byte stored flag at the written head address of the receiving buffer memory (address written in the step W5).

- 5 In this case, if already read out and not written, the processing bit is set to processing bit = 0. If non-processed in readout, the processing bit is set to processing bit = 1. Incidentally, if the decision in the step W6 shows other than the leading cell, the processing in the step W7 is not
- 10 conducted but the NO route is taken so that the stored flag write processing is conducted in a step W8.

Following this, in a step W9, the payload data (48 bytes) of the received cell is written after the stored flag is written.

- 15 In a step W10, the address is incremented by one, and the stored flag readout processing bit is checked at the next address.

In a step W11, a check is made as to whether or not the readout processing bit has already been processed. This is

20 because, in a case in which the received cell is written after the free area corresponding to that path is once occupied, the stored flag has already been written at the next address and the processing bit can assume 0 or 1. In the step W11, if the readout processing reaches completion, the NO route

25 is taken so that the start register value is updated in a step W12. In addition, the message BOX register value is updated in a step W13, and the one-cell receive processing

comes to an end in a step W14.

Incidentally, in the step W11, if the readout bit is not processed yet, the YES route is taken because there is a need to seek a free area in which the cell can be written.

5 Moreover, the frequency S_n of examination is checked in a step W10c, and when the frequency S_n examination assumes 0 to $n-1$, the processing again returns to the step W10 and the stored flag at the next address is checked. On the other hand, if the frequency S_n of examination is at n , the right-hand 10 route in FIG. 18 is taken so that, in a step W9z, a decision is made that the residual quantity of the memory area is insufficient.

Accordingly, when, after a case in which the readout processing bit indicates the non-processed condition 15 continues, the number of times S_n of examination is counted up to a maximum number of cells which can be written in the receiving buffer area ($S_n = n$), the receiving buffer area for that path does not have a free space in which the incoming cell can be written, and the notification of the insufficient 20 residual quantity takes place.

In this connection, in a case in which the received cells of the first and second messages are written after the initialization of the receiving buffer area, since many free areas exist practically in the buffer area for that path, 25 the stored flag is not written at the next address.

Accordingly, no writing takes place at processing bit = 0, and the start register is updated.

In addition, if the decision in the step W9z shows the insufficient residual quantity of the memory area, the set value of the message BOX register made in the step W7 is cleared in a step W10z, and in a step W11z, the current message is 5 abandoned and the message write completion state immediately prior thereto is again taken. Still additionally, since the data of the received cell could be written without any trouble in the step W12, the head address in the start register is updated for writing the data of the next incoming received 10 cell. Yet additionally, since the data of the received cell could be written without any trouble in the step W13, the cell count value of the message BOX/register is incremented.

Then, in the step W14, the write processing in the receiving buffer area in cell unit comes to an end. 15 Furthermore, the processing again returns to the step W1 and a waiting state is taken for the next incoming ATM cell.

FIG. 19 is a flowchart showing receive processing using a stored flag, according to an embodiment of the present invention. The processing shown in FIG. 19 is a processing 20 flowchart for writing of the last cell.

In FIG. 19, in a step W15, when a received cell is the last cell, a start register is read out, and as well as the step W5, a head address and a message number are taken in.

In a step W16, a message number value and a readout 25 processing bit set into a non-processed condition are written as a two-byte stored flag at a write head address of the data, read out in the step W15, in the receiving buffer memory.

That is, if the readout processing is completed and writing is not made, the processing bit = 0, while if the readout processing is not conducted yet, the processing bit = 1.

5 In addition, after the writing of the stored flag, the payload data (48 bytes) of a received cell is written in a step W17, and a readout processing bit in the stored flag at the next address is checked in a step W18. Still additionally, as in the case of the steps W10 and W11, if the processing bit = 0, the processing advances to a step 10 W20, while if the processing bit = 1, the processing shifts to a step W19z.

In the step W19z, similarly, after a state in which the processing bit is non-processed continues, if the frequency S_n of examination is counted up to a maximum number of cells 15 which can be written in the receiving buffer area ($S_n = n$), the processing advances to a step W18z where it is considered that the receiving buffer area for that path has no free space for writing of an incoming cell, a notification of insufficient residual quantity takes place. Moreover, in a step W19z-2, 20 the current message writing comes to an end, and thereafter, the NO route is taken until the readout is conducted, thus inhibiting the writing (step W20z). On the other hand, if the readout is conducted in the step W19z-2, the YES route is taken to lead the processing to a step W22.

25 Moreover, the data of the received cell is stored without any trouble in a step W19 and, hence, the head address in the start register for writing of the data of the next incoming

received cell is updated in a step W20. Still moreover, the data of the received cell is written without any trouble in a step W21 and, hence, the cell count value of the message BOX/register is incremented and the leading cell identifying 5 bit in the message is set up.

Accordingly, in a step W22, the write processing in the receiving buffer area in message unit comes to an end. In addition, the processing again returns to the step W1 to fall into a waiting condition for the next incoming ATM cell.

10 FIG. 20 is a flowchart showing receive processing using a stored flag, according to an embodiment of the present invention. The processing shown in FIG. 20 is a readout processing flowchart for the last cell.

15 First of all, a plurality of messages are stored in a step R1. Then, in a step R2, after confirming that a plurality of AAL5 messages are stored in the receiving buffer area, the CPU (firmware) determines a message to be read out.

20 In a step R3, the message BOX register for the readout-determined message is read out and the head address at which that message is stored is fetched.

In a step R4, the message number is checked and the stored flag of the leading cell of that message is read out to examine the message number.

25 In a step R5, the readout processing bit is examined so that, when the readout processing bit = 1, the non-processing route is taken, and in a step R6, the payload data (48 bytes) is read out intactly. Moreover, when the processing bit =

0, the processing-completed route is taken so that the processing again returns to the step R4 for reading out the stored flag in which the next cell exists.

Since, in a step R7, the readout of the cell data at 5 that address reaches completion, the readout processing bit in the stored flag of that cell is rewritten to the processing completion, i.e., the readout processing bit = 0.

In a step R8, the number of times of rewriting of the readout processing bit is compared with the in-message cell 10 count value in the message BOX register, and in a step R9, if they do not match with each other, the non-matching route is taken so that the processing again returns to the step R4 for reading out the stored flag existing in a portion storing the next cell. If the comparison result shows the matching, 15 the matching route is taken so that, in a step R10, the readout in message unit comes to an end, and the processing again returns to the step R1 for the preparation for the readout of the next message.

At this time, since the area for the message read out 20 becomes a free area, when the next cell is received, the data in this cell are made to be successively written therein.

When one cell is received in this way, with regard to that cell, a cell number, a message number, the number of received cells and others are managed through the use of the 25 aforesaid plurality of management information; therefore, the efficient use of the memory area becomes feasible and the transfer of the AAL5 message from a plurality of paths

becomes possible, which enables the improvement of the transfer processing capability in total and the realization of a shortening of the data transfer time.

In addition, since the cell writing in the receiving 5 buffer memory becomes dynamic, the effective use of the memory area becomes feasible and the PCB parts mounting area becomes reducible, which leads to promoting the reduction of the cost of the PCB.

Still additionally, the multi-connections (see FIG. 1) 10 become possible in this way. That is, it is possible to time-division-multiplex the data from the ordinary users, which allows the transfer of a large volume of data.

(B) Others

In the above-described embodiments, although the writing 15 ranks are added in the order of the cell arrival, as the method of switching this arrival order into the writing ranks using a stored flag, there are various methods. For example, it is realizable in a manner that an area for the setting is placed in the assembling work areas K_1 and K_2 shown in FIG. 20 4. In addition, the address table 23, the message BOX 24 and each of the areas of the receiving buffer area are not limited to the partitioning shown in FIG. 4, but it is also possible that the respective areas are allocated to separate storage units. Still additionally, the locations of the stored flags 25 in the memory area can be set diversely.

Moreover, in the aforesaid message writing apparatus, the message is a message of the adaptation layer and the cells

are divisions of a message of the adaptation layer, with this adaptation layer being AAL5. Similarly, in the message readout apparatus, the message is a message of the adaptation layer and the cells are divisions of a message of the adaptation 5 layer, with this adaptation layer being AAL5.

Incidentally, the adaptation layer to which the present invention is applicable is not limited to the AAL5, but AAL0, AAL1, AAL2 and AAL3/4 can also be put to use.

Still moreover, in FIG. 6, the external memory control 10 section 21e and the CPU 25 are connected as in the case of FIG. 5 (not shown). In addition, in FIG. 7, the message BOX 24 is shown outside the external memory 22 for explanation only.

15 Industrial Applicability

Currently, due to the spread of the internet and others, the data transfer volume in networks has been on the extreme increase, also in the case of a communication apparatus based on an ATM network, there is a need to conduct the quick and 20 accurate transfer processing of a large volume of data; therefore, the multi-connections in the ATM path unit has been essential. According to the present invention, since the transfer of the AAL5 message from a plurality of paths is possible in a manner a received ATM cell is written in 25 a receiving buffer by each path, the transfer processing ability is improvable in total and the shortening of the data transfer time is realizable.

In addition, since the AAL5 message assembling section is made to have the extension performance in specification and capacity of the accompanying receiving buffer memory, it is possible to construct an optimum communication apparatus 5 system having a processing capability according to the traffic of a network.

Still additionally, since the cell writing in the receiving buffer memory is made dynamically, the effective use of the memory area is feasible and the PCB parts mounting 10 area is reducible, which leads to the further reduction of the PCB cost.

CLAIMS

1 1. A message writing apparatus characterized by comprising:
2 receiving means (21b) for receiving cells having path
3 information, said cells being obtained by division of a
4 variable-length message;

5 message area allocating means (21e) for extracting said
6 path information from the received cells received by said
7 receiving means (21b) to allocate a memory area (22)
8 corresponding to said path information, said memory area (22)
9 being larger than a size of said variable-length message;
10 writing ranking adding means (23) for adding writing
11 ranks to the received cells when the received cells are written
12 in said memory area (22) allocated by said message area
13 allocating means (21e); and

14 storing means (25) for writing the received cells in
15 said memory area (22) according to said writing ranks added
16 by said writing rank adding means (23).

1 2. A message writing apparatus according to claim 1,
2 characterized in that said message area allocating means (21e)
3 includes:

4 address table setting means for setting, in said memory
5 area (22), an address table area (23) in which a size of a
6 writing area, a writing position of said variable-length
7 message and the number of received cells, corresponding to
8 said path information, are related to each other on the basis

9 of cell numbers and message number of the received cells;
10 and

11 message storing area setting means for setting, in said
12 memory area (22), a message storing area (24) which CPU reads
13 out the received cells in message units.

1 3. A message writing apparatus according to claim 1,
2 characterized in that said writing rank adding means (23)
3 is made to add said writing ranks to said received cells in
4 the order of receiving processing of the received cells.

1 4. A message writing apparatus according to claim 1,
2 characterized in that said writing rank adding means (23)
3 is made to add said writing ranks to said received cells by
4 writing flag information indicative of whether or not the
5 received cells are read out, in flag areas (K₁, ..., K_a) placed
6 in said memory area (22).

1 5. A message writing apparatus according to claim 4,
2 characterized in that said writing rank adding means (23)
3 is equipped with residual quantity examining means (K₂₋₁, ...,
4 K_{2-n}) for checking said flag information to examine a size
5 of a free area for writing of the received cells.

1 6. A message writing apparatus according to claim 1,
2 characterized in that said writing rank adding means (23)
3 is made to add said writing ranks by reading out an indication
4 of a head address holding section (40a, 40b) which manages
5 writing positions for writing of the received cells in said

6 memory area (22) and an indication of a message storing/holding
7 section (41a, 41b, 41c) which manages a message number of
8 the written received cells and writing position information.

1 7. A message writing apparatus according to claim 6,
2 characterized in that said writing rank adding means (23)
3 is equipped with residual quantity checking means (K_{2-1} , \dots ,
4 K_{2-n}) for examining a size of a free area for writing of the
5 received cells by checking the indication of said head address
6 holding section (40a, 40b) and the indication of said message
7 storing/holding section (41a, 41b, 41c).

1 8. A message writing apparatus according to any one of claims
2 1 to 7, characterized in that said message is an adaptation
3 layer message and said cells are obtained by division of said
4 adaptation layer message.

1 9. A message writing apparatus according to claim 8,
2 characterized in that said adaptation layer is based on AAL5.

1 10. A message writing method characterized by comprising:
2 a receiving step of receiving cells having path
3 information, said cells being obtained by division of a
4 variable-length message;

5 a message area allocating step of extracting said path
6 information from the received cells received in said receiving
7 step to allocate a memory area (22) corresponding to said
8 path information, said memory area (22) being larger than
9 a size of said variable-length message;

10 a writing rank adding step of adding writing ranks to
11 the received cells when the received cells are written in
12 said memory area (22) allocated in said message area allocating
13 step; and

14 a storing step of writing the received cells in said
15 memory area (22) according to said writing ranks added in
16 said writing rank step.

1 11. A message readout apparatus (20) which reads out each
2 of a plurality of cells constituting a message and written
3 in a memory area (22), characterized by comprising:

4 first means (22, 25) for reading out said message in
5 accordance with writing ranks added in the order of receive
6 processing of said cells;

7 second means (22, 25) for reading out said message on
8 the basis of the added writing ranks in a manner that flag
9 information, indicative of whether or not said cells are read
10 out, is written in said memory area (22);

11 third means (22, 25) for reading out said message on
12 the basis of said writing ranks based on an indication of
13 a message storing/holding section (41a, 41b, 41c) which
14 manages a message number of the received cells written in
15 said memory area and writing position information thereon;
16 and

17 control means (23) operable of selecting any one of said
18 first means (22, 25), said second means (22, 25) and said
19 third means (22, 25) by setting of said memory area (22).

1 12. A message readout apparatus according to claim 11,
2 characterized in that said message is an adaptation layer
3 message and said cells, said cells being obtained by division
4 of said adaptation layer message.

1 13. A message readout apparatus according to claim 12,
2 characterized in that said adaptation layer is based on AAL5.

1 14. A message readout method of reading out each of a plurality
2 of cells constituting a message and written in a memory area
3 (22), characterized by comprising:

4 a first step of reading out said message in accordance
5 with writing ranks added in the order of receive processing
6 of said cells;

7 a second step of reading out said message on the basis
8 of the added writing ranks in a manner that flag information,
9 indicative of whether or not the cells are read out, is written
10 in said memory area (22); and

11 a third step of reading out said message in accordance
12 with said writing ranks provided by an indication of a message
13 storing/holding section (41a, 41b, 41c) which manages a
14 message number of the received cells written in said memory
15 area (22) and writing position information,

16 with any one of said first means, said second means and
17 said third means being selectively implemented according to
18 setting of said memory area (22).

1 15. A memory address control circuit for writing of a

2 variable-length message, characterized by comprising:
3 a path recognizing section (21a) for receiving cells,
4 said cells being obtained by division said variable-length
5 message and transmitted to extract path information from the
6 received cells;
7 a receive control section (21c) operable of adding
8 writing ranks on writing in a memory (22) in correspondence
9 with said path information outputted from said path
10 recognizing section (21a) and of outputting a size of a writing
11 area, a writing position of said variable-length message and
12 the number of received cells as management information;
13 a received message assembling section (21b) having an
14 address table (23), in which said size of said writing area,
15 said writing position of said variable-length message and
16 the number of received cells, corresponding to said path
17 information, are related to each other on the basis of said
18 management information from said receive control section and
19 operable of assembling the received cells with respect to
20 one variable-length message and outputting second write
21 information; and
22 a memory control section (21e) operable of controlling
23 writing in said memory (22) on the basis of said management
24 information from said received message assembling section
25 (21b) and the second write information from the receive control
26 section (21c).
1 16. A memory address control circuit for readout of a

2 variable-length message, characterized by comprising:
3 a path recognizing section (21a) for receiving cells,
4 said cells being obtained by division of said variable-length
5 message and transmitted to extract path information from the
6 received cells;
7 a receive control section (21c) operable of adding
8 writing ranks on readout from a memory (22) in correspondence
9 with said path information outputted from said path
10 recognizing section (21a) and of outputting a size of a readout
11 area, a readout position of said variable-length message and
12 the number of received cells as management information;
13 a received message assembling section (21b) having an
14 address table (23), in which said size of said readout area,
15 said readout position of said variable-length message and
16 the number of received cells being corresponding to said path
17 information, are related to each other on the basis of said
18 management information from said receive control section
19 (21c) and operable of assembling the received cells with
20 respect to one variable-length message to output and
21 outputting second readout information; and
22 a memory control section (21e) operable of controlling
23 the readout to said memory (22) on the basis of said management
24 information from said received message assembling section
25 (21b) and said second readout information from said receive
26 control section.

ABSTRACT

In multi-connections, a message writing apparatus is provided. This message writing apparatus (21) comprises a path recognizing section (21a), a received message assembling section (21b), a receive control section (21c), an arbitrating section (21d) and an external memory control section (21e). When a received ATM cell is written/readout in/from a receiving buffer, it is written/read out in a memory area corresponding to each path, which enables the processing of AAL5 messages from a plurality of paths and improves the transfer processing capability, thereby leading to realizing a shortening of the data transfer time.

FIG. 1

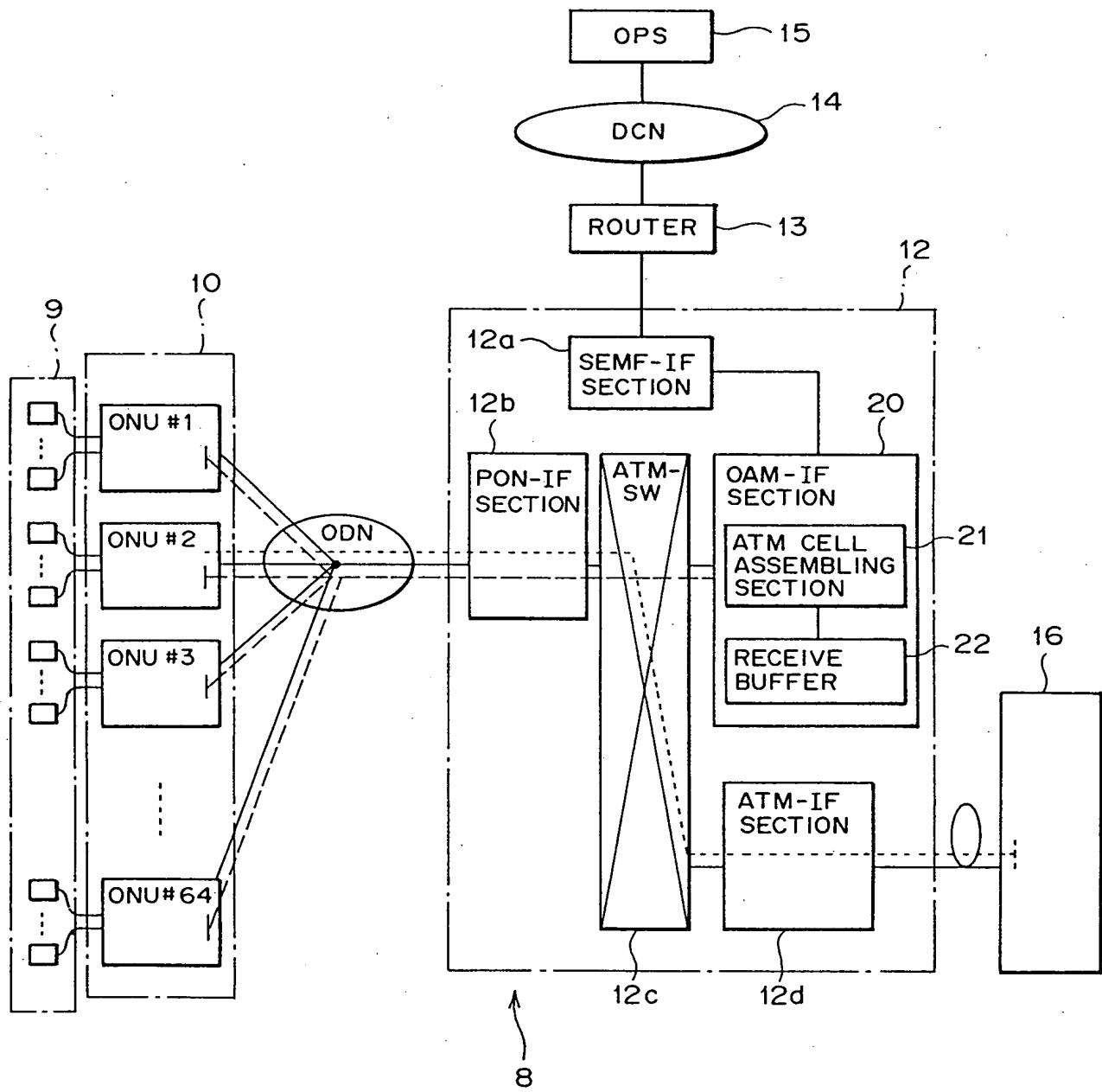


FIG. 2

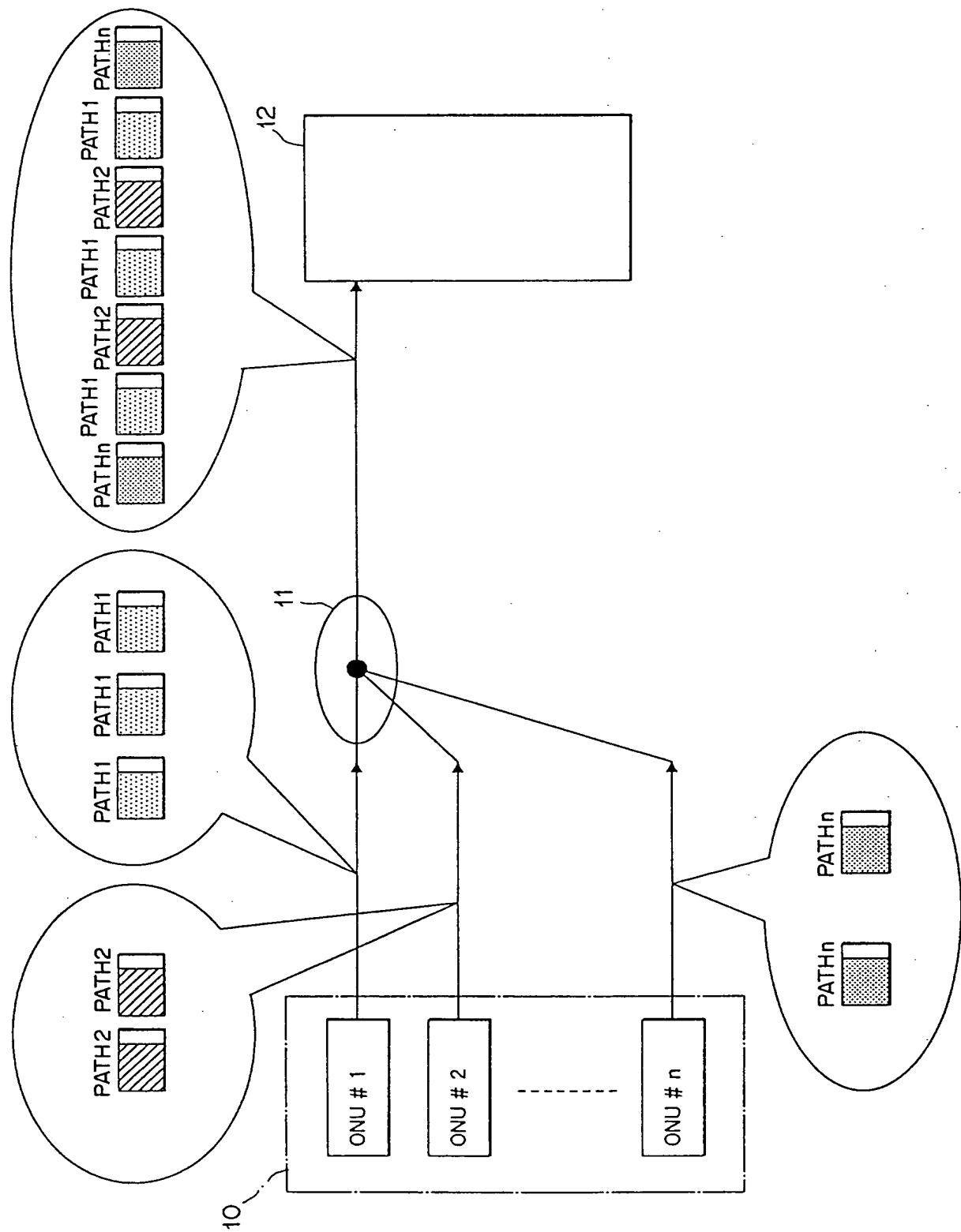


FIG. 3

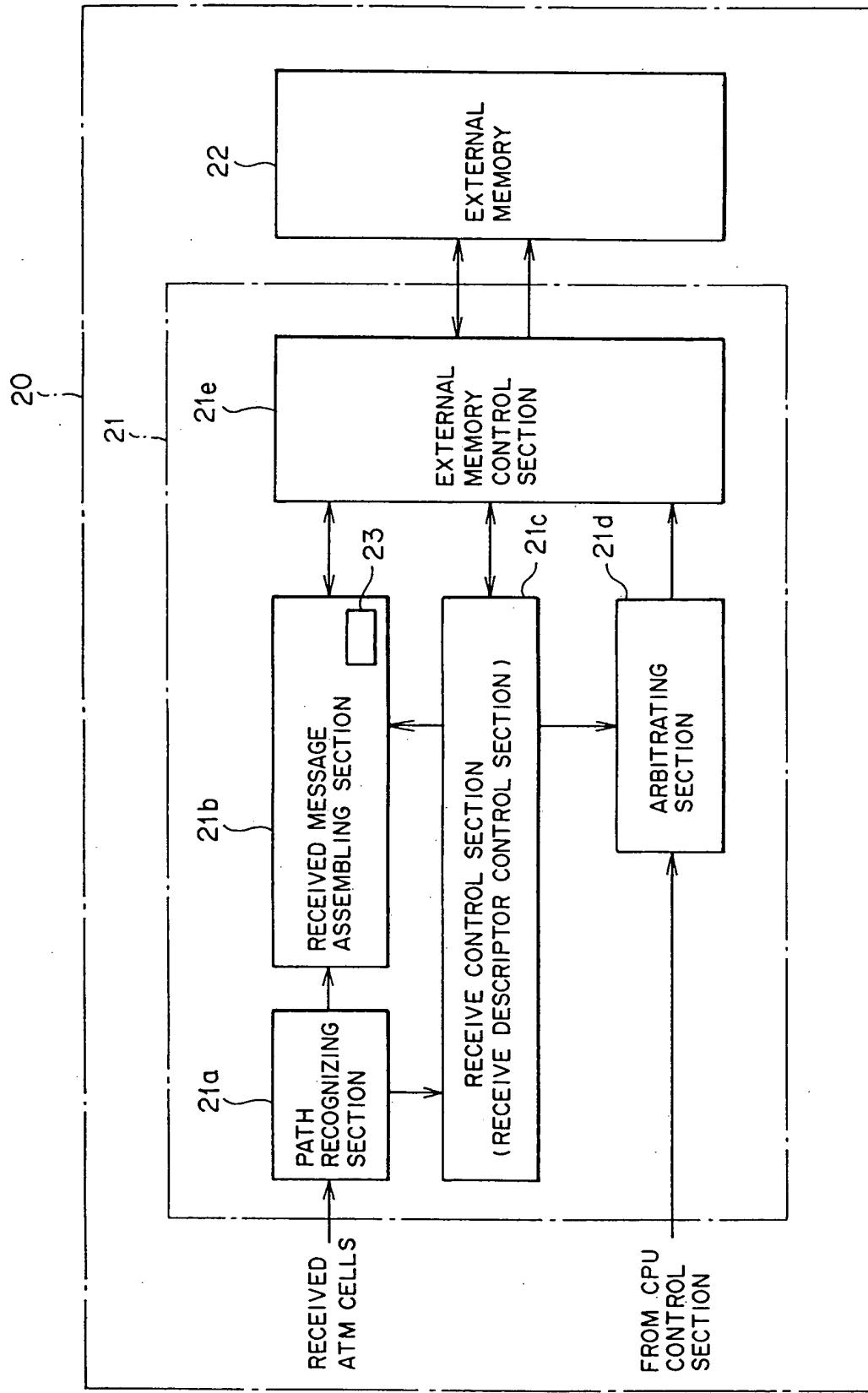


FIG. 4

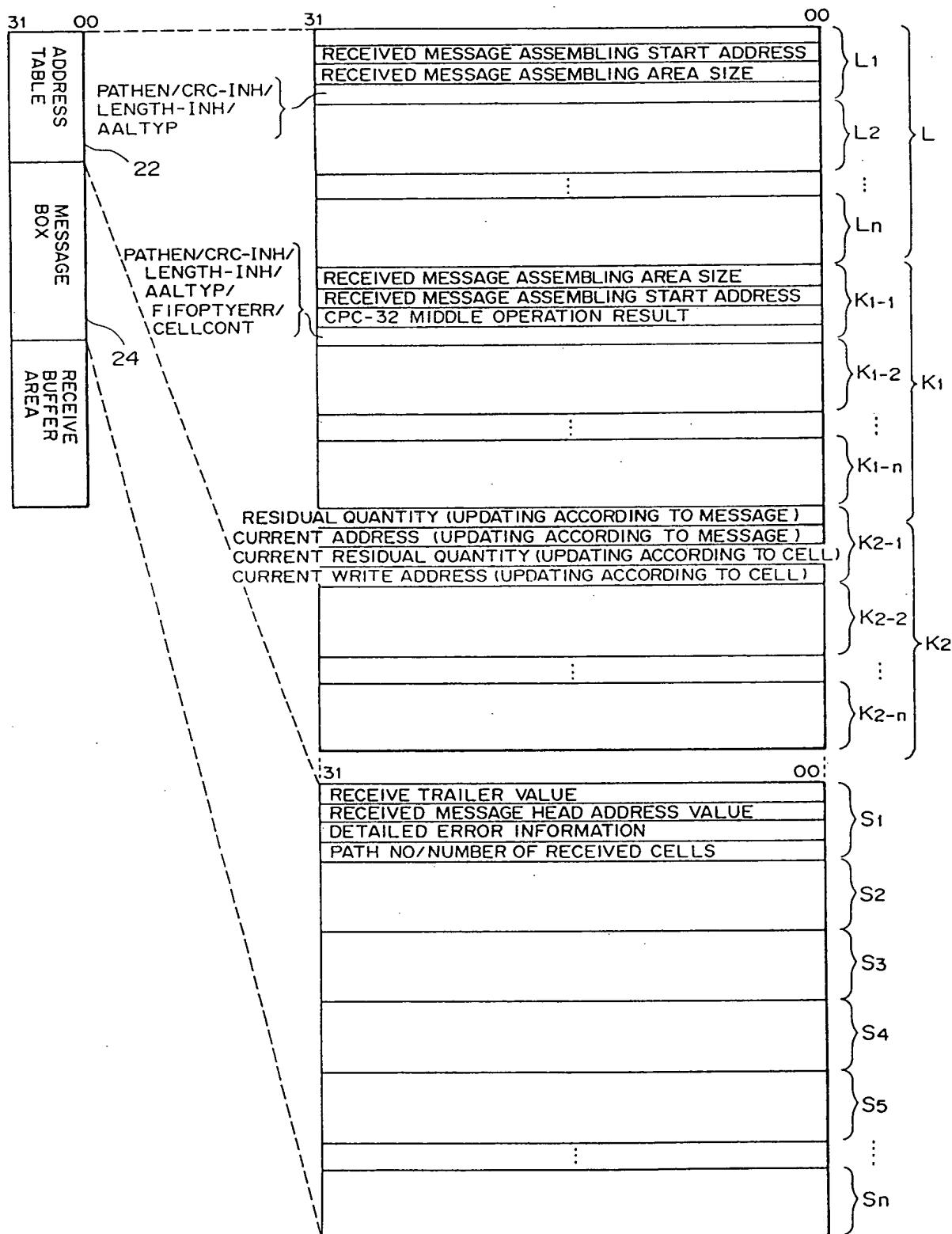


FIG. 5

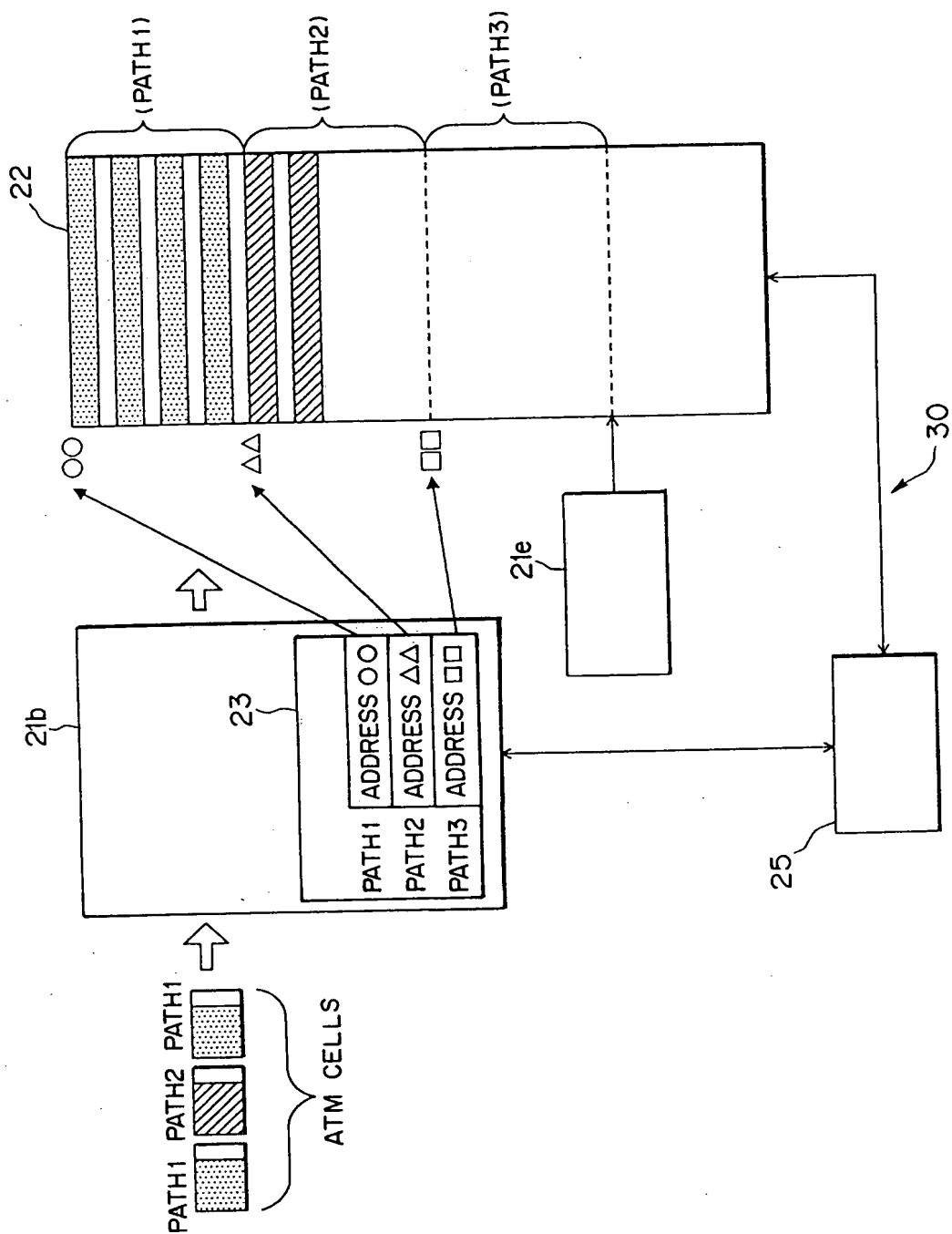


FIG. 6

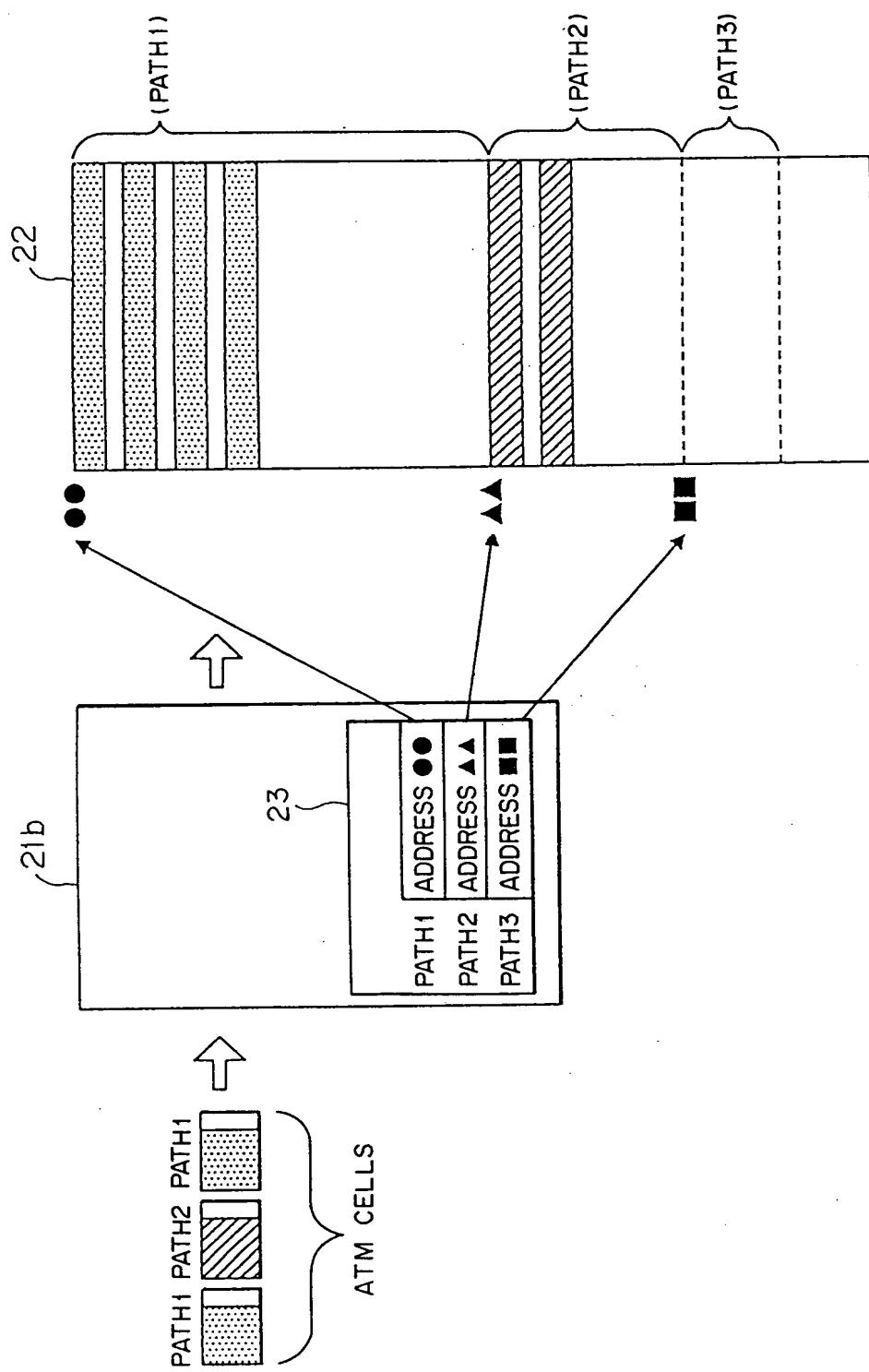


FIG. 7

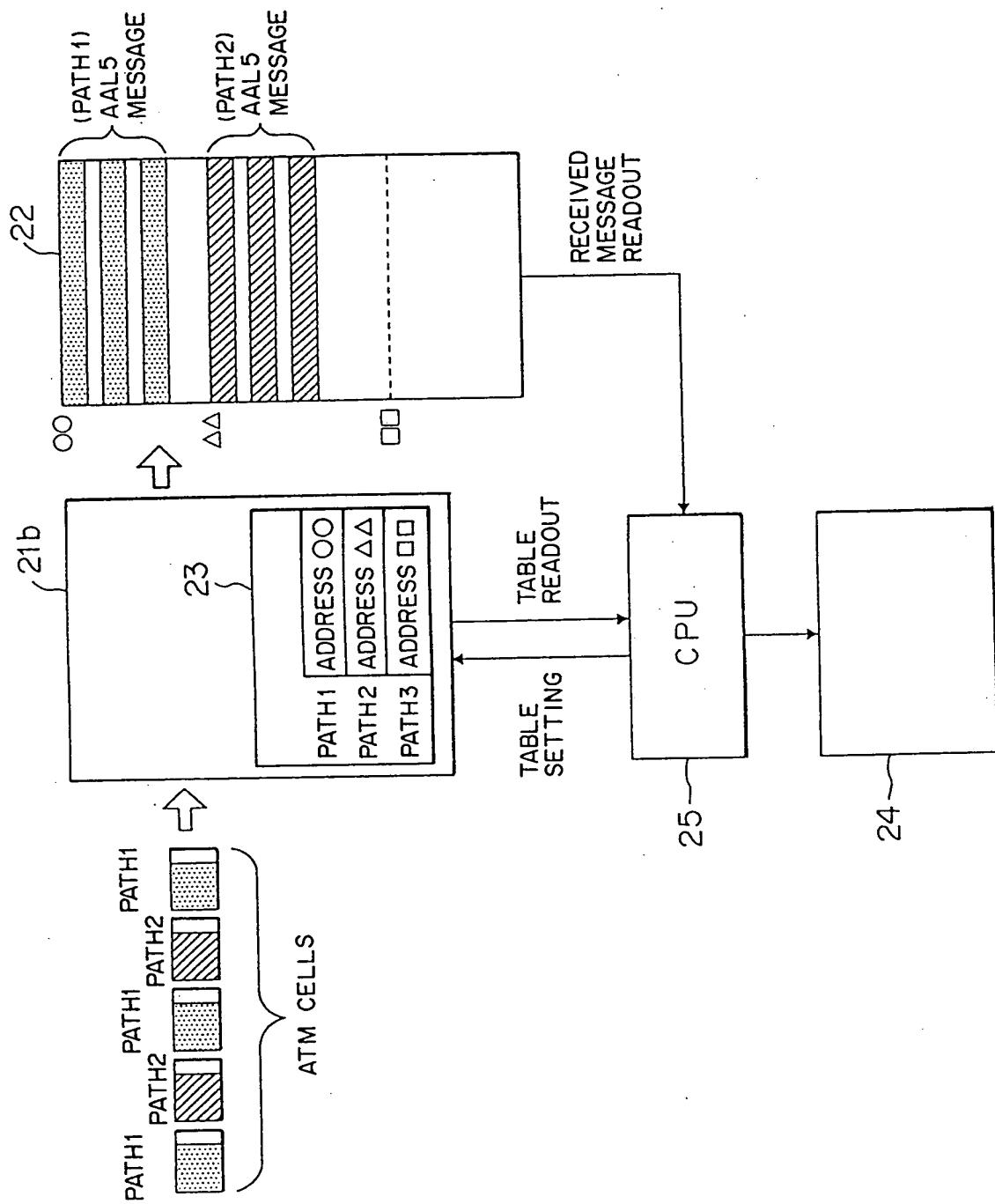


FIG. 8

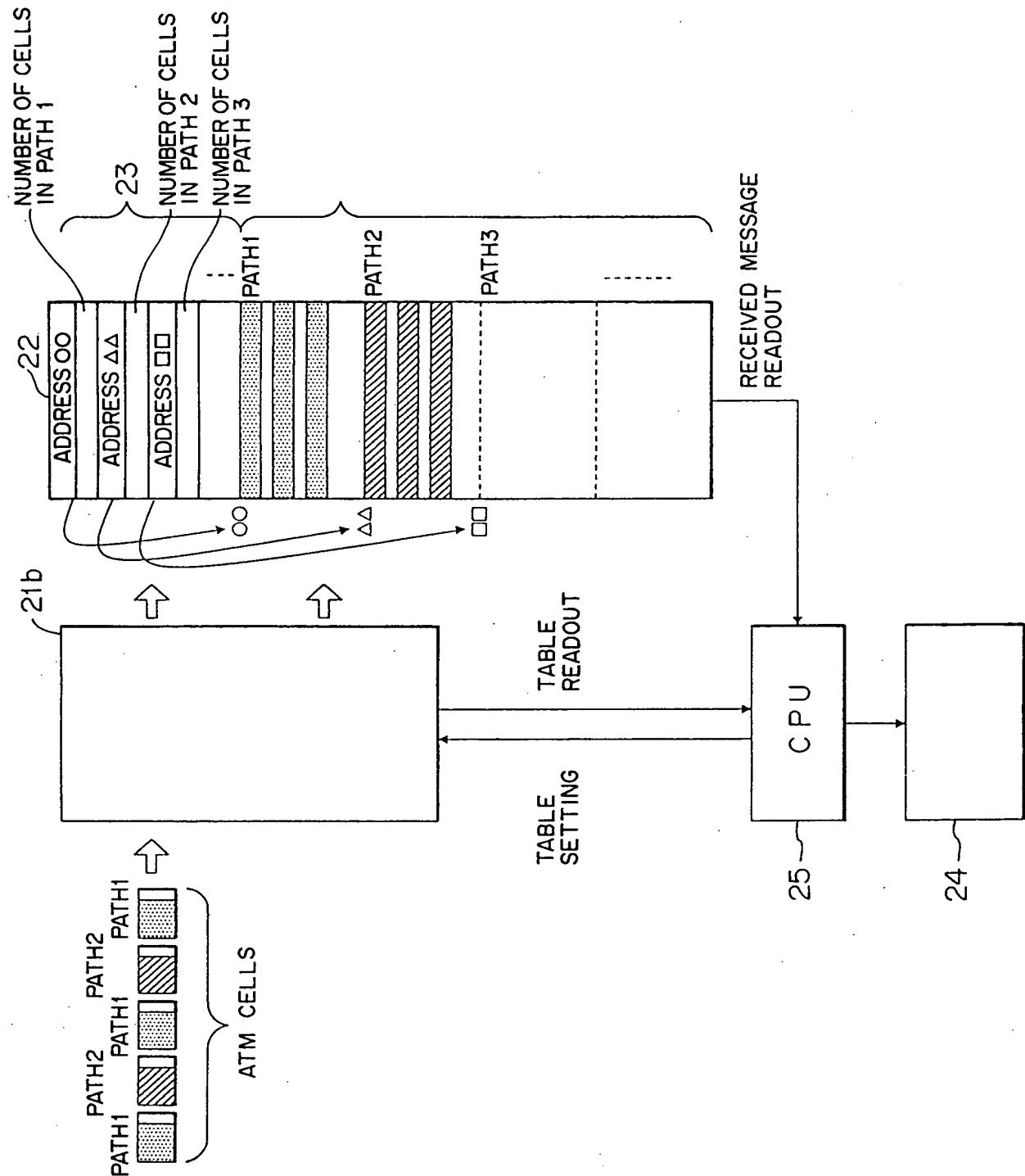


FIG. 9(a)

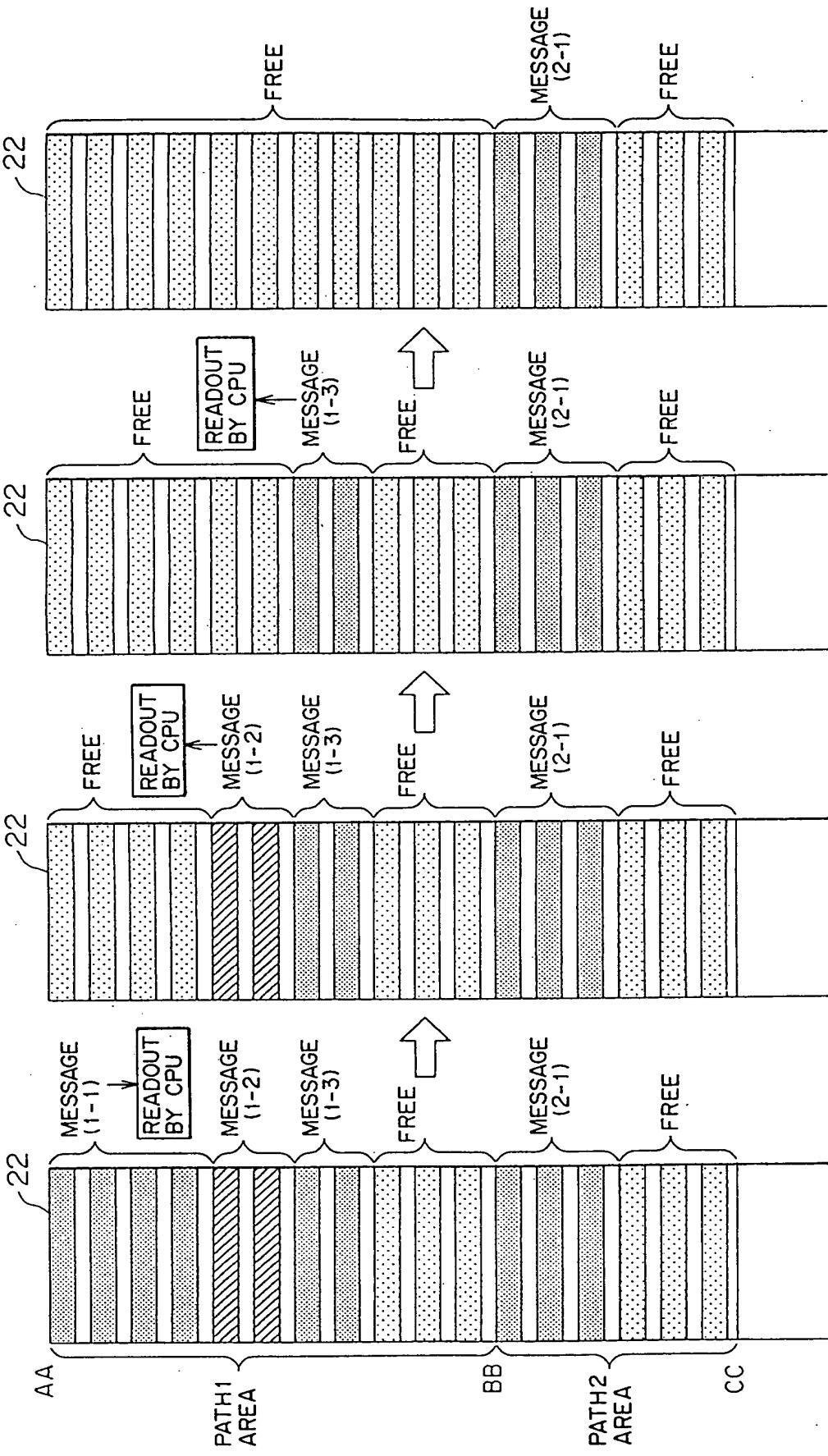


FIG. 9(b)

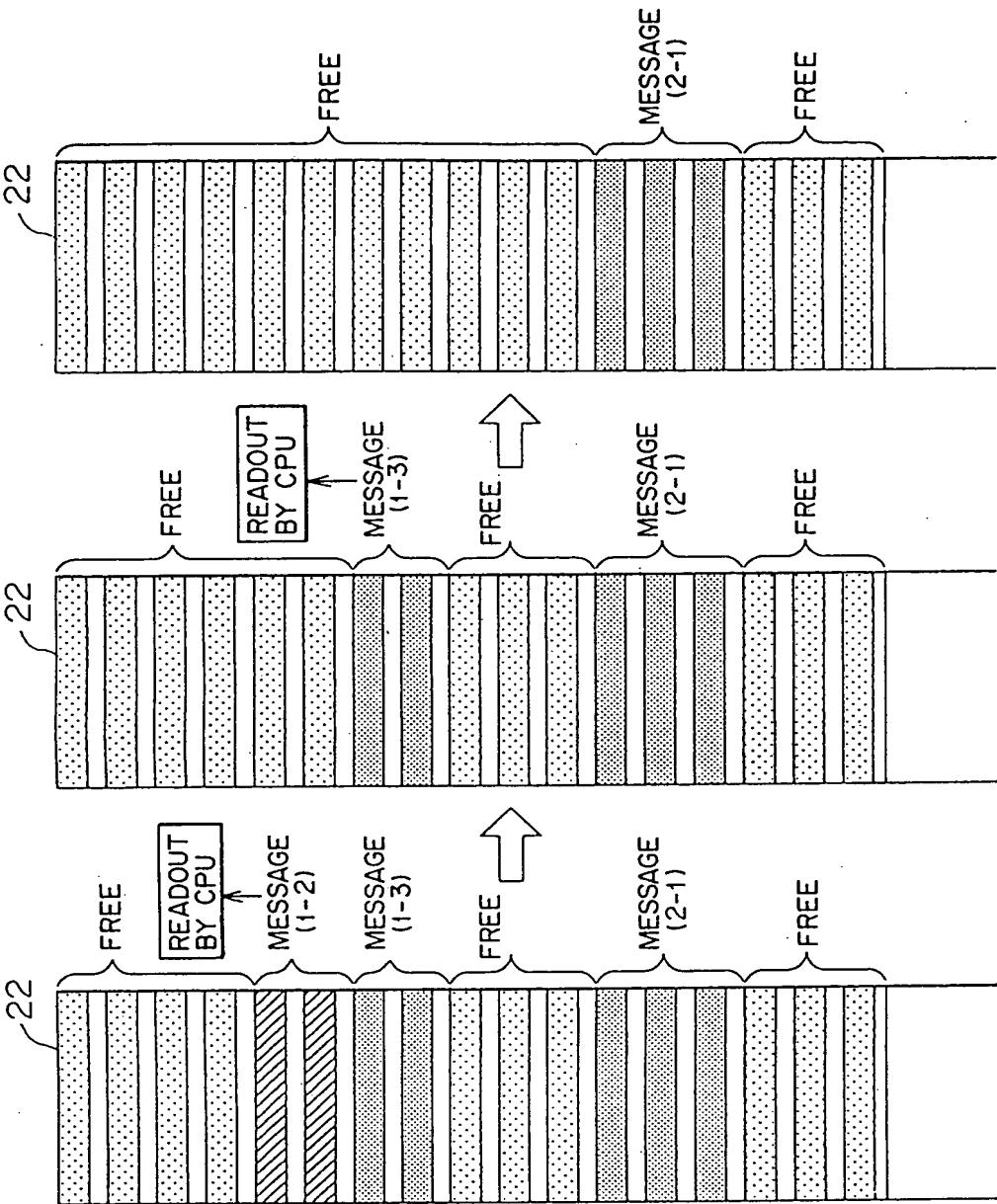


FIG. 9(c)

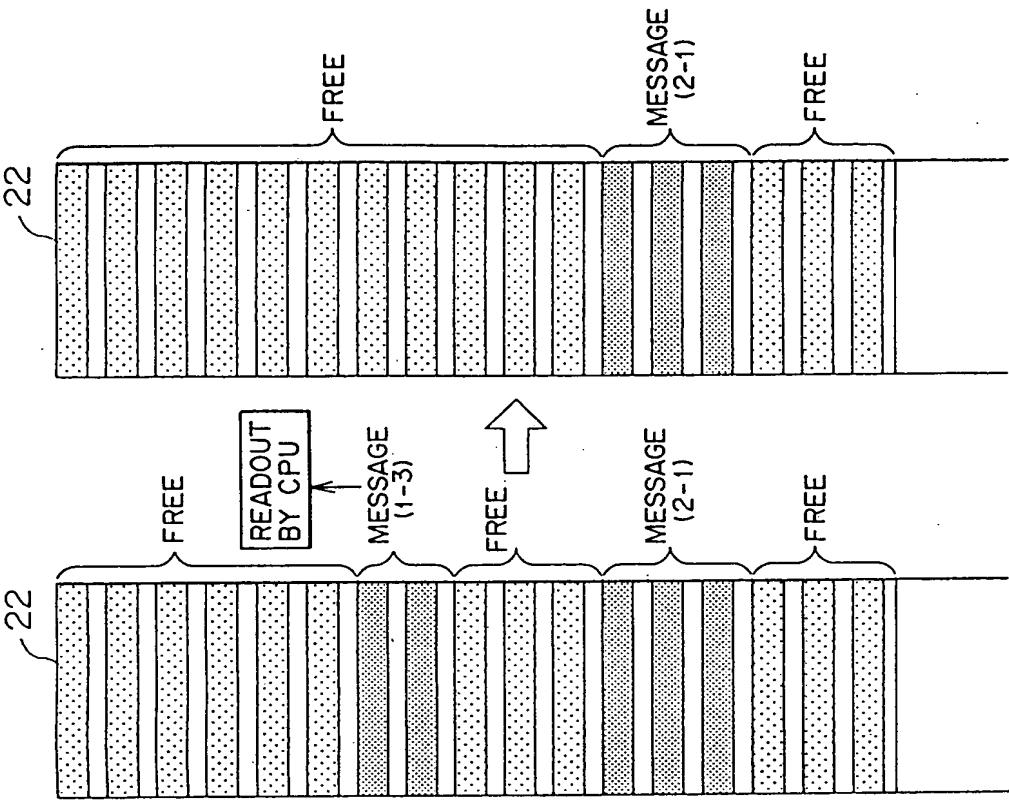


FIG. 9(d)

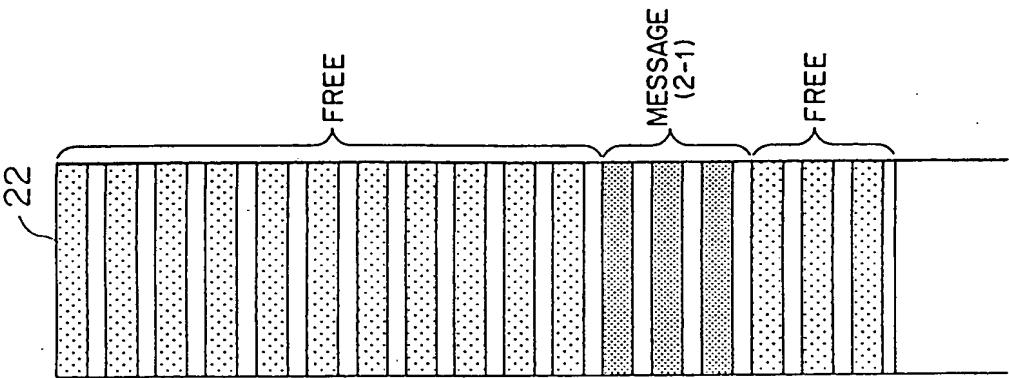


FIG.10(a)

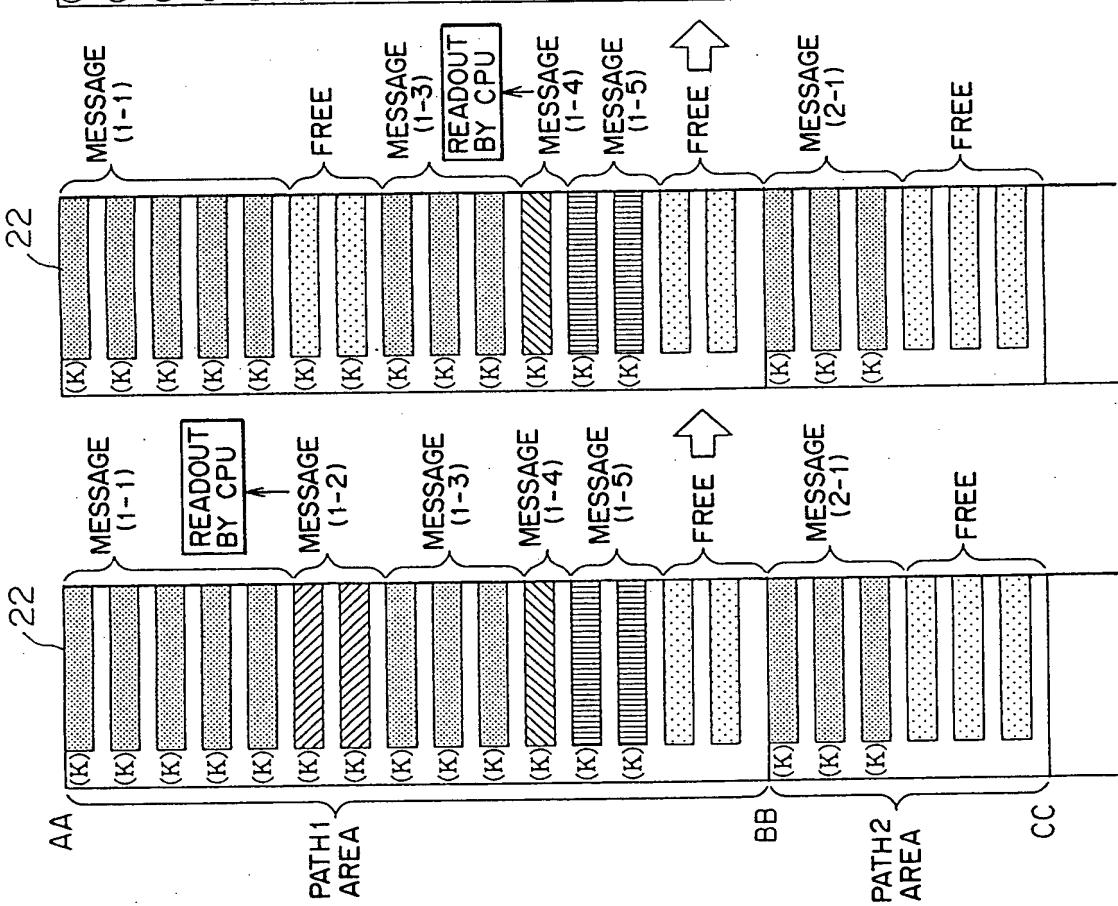


FIG.10(b)

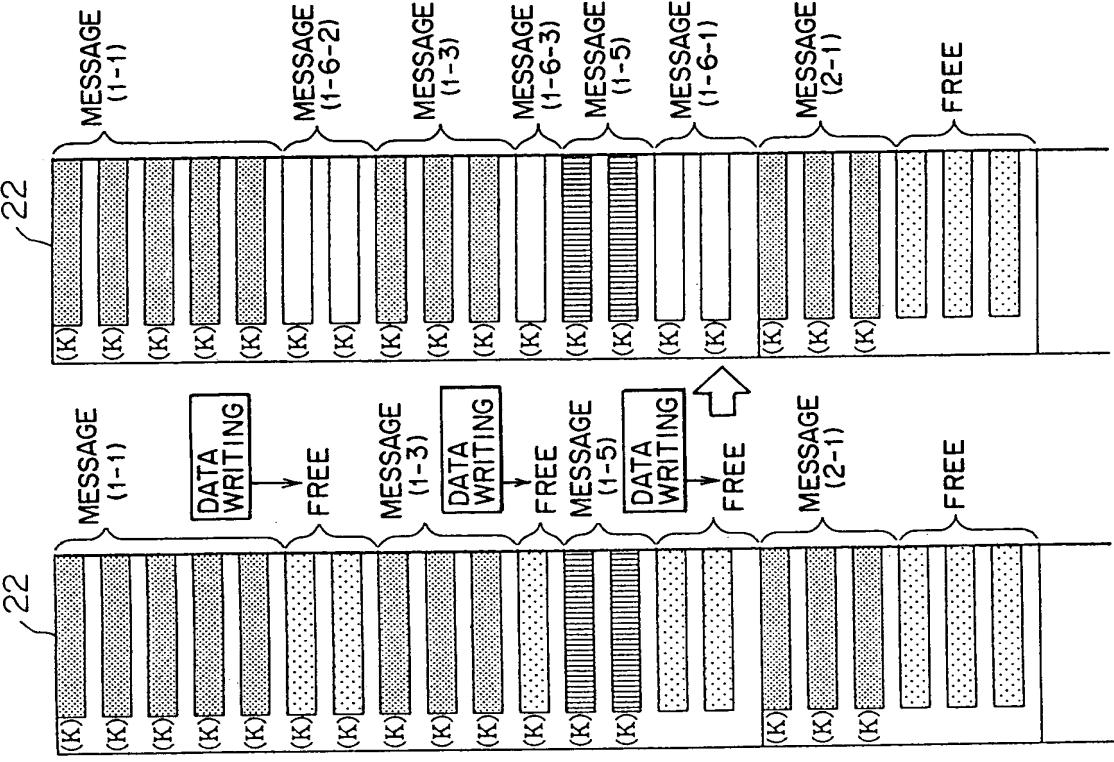


FIG.10(d)

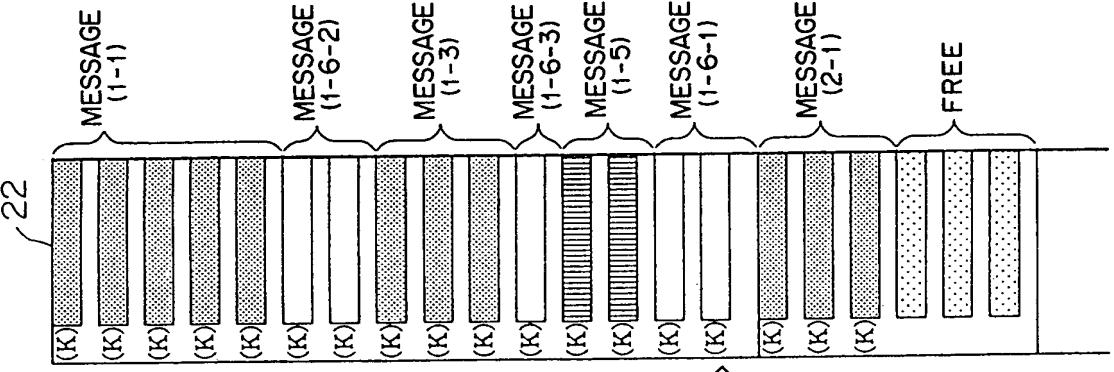


FIG. II (a) FIG. II (b) FIG. II (c)

0000	1-1CELL	01E0	01E0
0030	1-2CELL	0210	0210
0060	1-3CELL	0240	0240
0090		0270	0270
00C0		02A0	02A0
00F0		02D0	02D0
0120		0300	0300
0150		0330	0330
0180		0360	0360
01B0		0390	0390

FIG. II (d)

0000	1-1CELL	01E0	01E0
0030	1-2CELL	0210	0210
0060	1-3CELL	0240	0240
0090	2-1CELL	0270	0270
00C0	2-2CELL	02A0	02A0
00F0		02D0	02D0
0120		0300	0300
0150		0330	0330
0180		0360	0360
01B0		0390	0390

FIG. II (e)

0000	1-1CELL	01E0	01E0
0030	1-2CELL	0210	0210
0060	1-3CELL	0240	0240
0090	2-1CELL	0270	0270
00C0	2-2CELL	02A0	02A0
00F0		02D0	02D0
0120		0300	0300
0150		0330	0330
0180		0360	0360
01B0		0390	0390

FIG. II (f)

0000	1-1CELL	01E0	01E0
0030	1-2CELL	0210	0210
0060	1-3CELL	0240	0240
0090	2-1CELL	0270	0270
00C0	2-2CELL	02A0	02A0
00F0		02D0	02D0
0120		0300	0300
0150		0330	0330
0180		0360	0360
01B0		0390	0390

FIG.12(a)

/22	
0000	1-1 CELL
0030	1-2 CELL
0060	1-3 CELL
0090	2-1 CELL
00C0	2-2 CELL
00F0	2-3 CELL
0120	2-4 CELL
0150	2-5 CELL
0180	2-6 CELL
01B0	3-1 CELL

FIG.12(b)

/22	
0000	1-1 CELL
0030	1-2 CELL
0060	1-3 CELL
0090	2-1 CELL
00C0	2-2 CELL
00F0	2-3 CELL
0120	2-4 CELL
0150	2-5 CELL
0180	2-6 CELL
01B0	

FIG.12(c)

/22	
0000	1-1 CELL
0030	1-2 CELL
0060	1-3 CELL
0090	2-1 CELL
00C0	2-2 CELL
00F0	2-3 CELL
0120	2-4 CELL
0150	2-5 CELL
0180	2-6 CELL
01B0	

FIG.12(d)

/22	
0000	1-1 CELL
0030	1-2 CELL
0060	1-3 CELL
0090	2-1 CELL
00C0	2-2 CELL
00F0	2-3 CELL
0120	2-4 CELL
0150	2-5 CELL
0180	2-6 CELL
01B0	

FIG.12(e)

/22	
0000	1-1 CELL
0030	1-2 CELL
0060	1-3 CELL
0090	2-1 CELL
00C0	2-2 CELL
00F0	2-3 CELL
0120	2-4 CELL
0150	2-5 CELL
0180	2-6 CELL
01B0	

01E0	
0210	
0240	
0270	
02A0	
02D0	
0300	
0330	
0360	
0390	

01E0	
0210	
0240	
0270	
02A0	
02D0	
0300	
0330	
0360	
0390	

01E0	
0210	
0240	
0270	
02A0	
02D0	
0300	
0330	
0360	
0390	

FIG. 13(a)

22	
0000	1-1 CELL
0030	1-2 CELL
0060	1-3 CELL
0090	2-1 CELL
00C0	2-2 CELL
00F0	2-3 CELL
0120	2-4 CELL
0150	2-5 CELL
0180	2-6 CELL
01B0	4-1 CELL

FIG. 13(b)

22	
0000	1-1 CELL
0030	1-2 CELL
0060	1-3 CELL
0090	2-1 CELL
00C0	2-2 CELL
00F0	2-3 CELL
0120	2-4 CELL
0150	2-5 CELL
0180	2-6 CELL
01B0	4-1 CELL

FIG. 13(c)

22	
0000	1-1 CELL
0030	1-2 CELL
0060	1-3 CELL
0090	2-1 CELL
00C0	2-2 CELL
00F0	2-3 CELL
0120	2-4 CELL
0150	2-5 CELL
0180	2-6 CELL
01B0	4-1 CELL

FIG. 13(d)

22	
0000	1-1 CELL
0030	1-2 CELL
0060	1-3 CELL
0090	2-1 CELL
00C0	2-2 CELL
00F0	2-3 CELL
0120	2-4 CELL
0150	2-5 CELL
0180	2-6 CELL
01B0	4-1 CELL

FIG. 13(e)

22	
0000	1-1 CELL RELEASED
0030	1-2 CELL RELEASED
0060	1-3 CELL RELEASED
0090	2-1 CELL
00C0	2-2 CELL
00F0	2-3 CELL
0120	2-4 CELL
0150	2-5 CELL
0180	2-6 CELL
01B0	4-1 CELL

22	
0000	1-1 CELL
0030	1-2 CELL
0060	1-3 CELL
0090	2-1 CELL
00C0	2-2 CELL
00F0	2-3 CELL
0120	2-4 CELL
0150	2-5 CELL
0180	2-6 CELL
01B0	4-1 CELL

22	
0000	1-1 CELL
0030	1-2 CELL
0060	1-3 CELL
0090	2-1 CELL
00C0	2-2 CELL
00F0	2-3 CELL
0120	2-4 CELL
0150	2-5 CELL
0180	2-6 CELL
01B0	4-1 CELL

22	
0000	1-1 CELL
0030	1-2 CELL
0060	1-3 CELL
0090	2-1 CELL
00C0	2-2 CELL
00F0	2-3 CELL
0120	2-4 CELL
0150	2-5 CELL
0180	2-6 CELL
01B0	4-1 CELL

22	
0000	1-1 CELL
0030	1-2 CELL
0060	1-3 CELL
0090	2-1 CELL
00C0	2-2 CELL
00F0	2-3 CELL
0120	2-4 CELL
0150	2-5 CELL
0180	2-6 CELL
01B0	4-1 CELL

22	
0000	1-1 CELL
0030	1-2 CELL
0060	1-3 CELL
0090	2-1 CELL
00C0	2-2 CELL
00F0	2-3 CELL
0120	2-4 CELL
0150	2-5 CELL
0180	2-6 CELL
01B0	4-1 CELL

22	
0000	1-1 CELL
0030	1-2 CELL
0060	1-3 CELL
0090	2-1 CELL
00C0	2-2 CELL
00F0	2-3 CELL
0120	2-4 CELL
0150	2-5 CELL
0180	2-6 CELL
01B0	4-1 CELL

FIG. 14(a)

FIG. 14(b) FIG. 14(c) FIG. 14(d) FIG. 14(e) FIG. 14(f)

0000	6-1 CELL	0000	6-1 CELL	0000	6-1 CELL	0000	6-1 CELL
0030	6-2 CELL	0030	6-2 CELL	0030	6-2 CELL	0030	6-2 CELL
0060	6-3 CELL (RELEASED)	0060	6-3 CELL	0060	6-3 CELL	0060	6-3 CELL
0090	2-1 CELL	0090	2-1 CELL	0090	2-1 CELL (RELEASED)	0090	6-4 CELL
00C0	2-2 CELL	00C0	2-2 CELL	00C0	2-2 CELL (RELEASED)	00C0	6-5 CELL
00F0	2-3 CELL	00F0	2-3 CELL	00F0	2-3 CELL (RELEASED)	00F0	2-3 CELL (RELEASED)
0120	2-4 CELL	0120	2-4 CELL	0120	2-4 CELL (RELEASED)	0120	2-4 CELL (RELEASED)
0150	2-5 CELL	0150	2-5 CELL	0150	2-5 CELL (RELEASED)	0150	2-5 CELL (RELEASED)
0180	2-6 CELL	0180	2-6 CELL	0180	2-6 CELL (RELEASED)	0180	2-6 CELL (RELEASED)
01B0	4-1 CELL	01B0	4-1 CELL	01B0	4-1 CELL	01B0	4-1 CELL
22	22	22	22	22	22	22	22

FIG. 15(a)

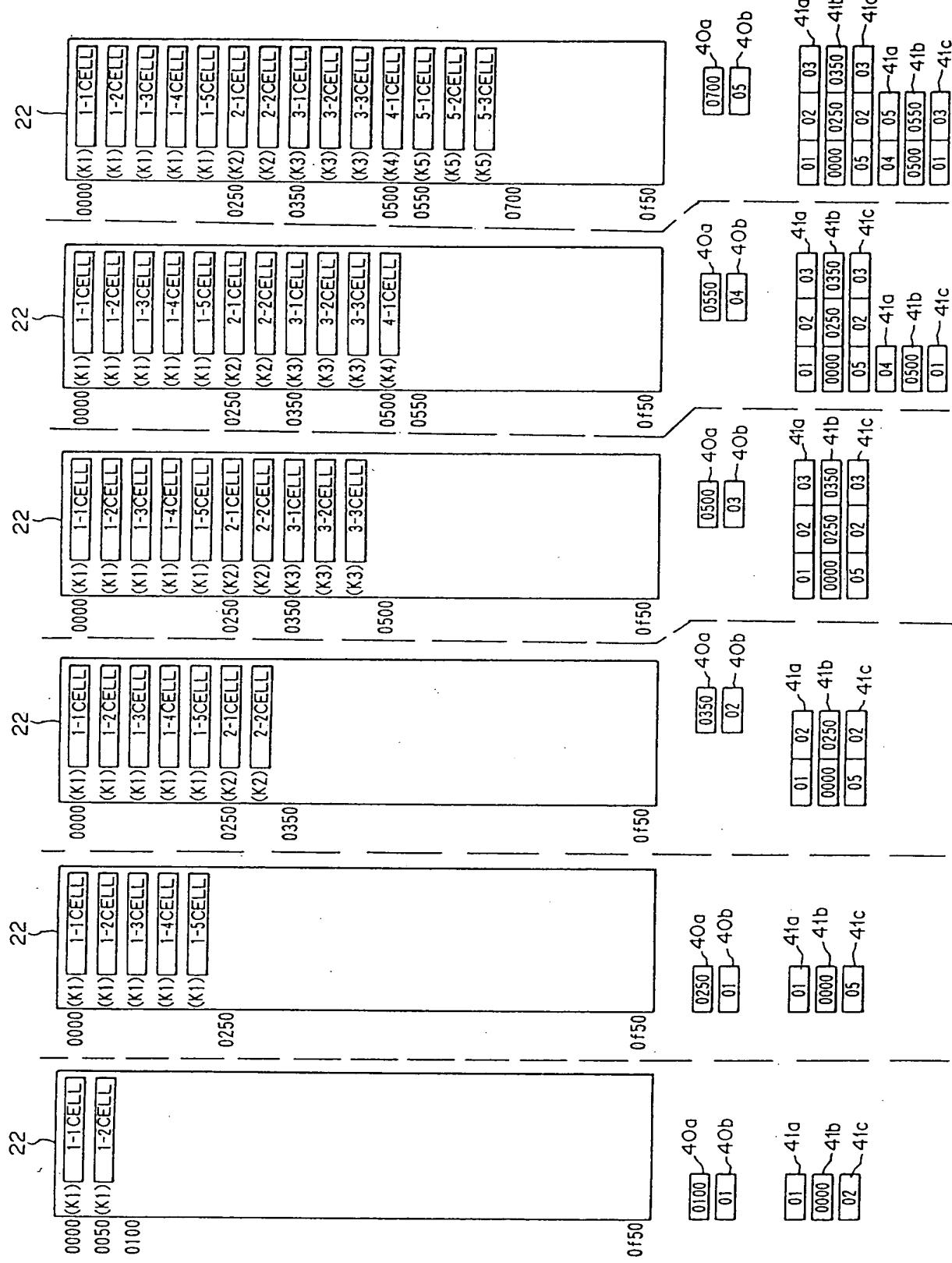


FIG. 15(b)

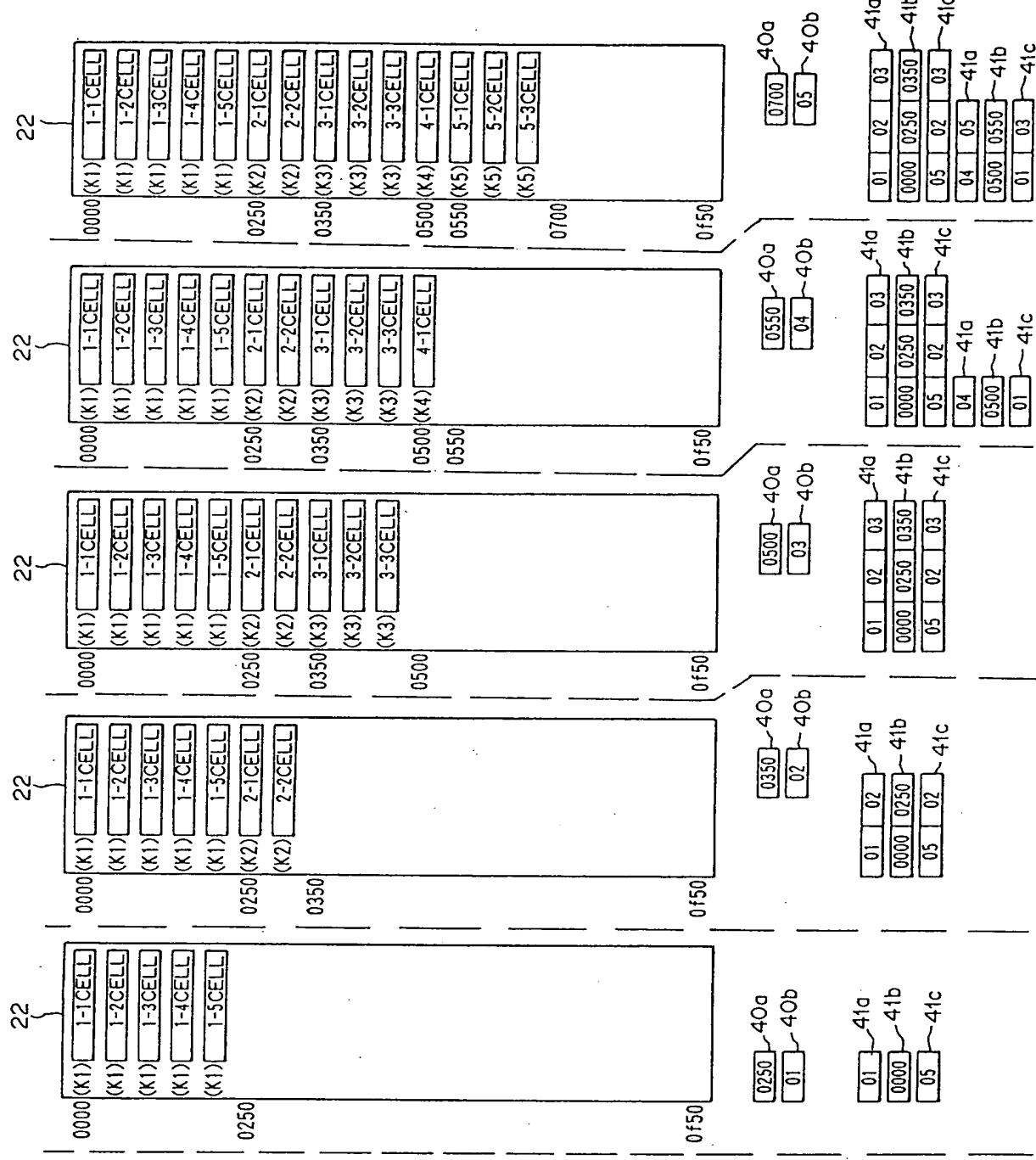
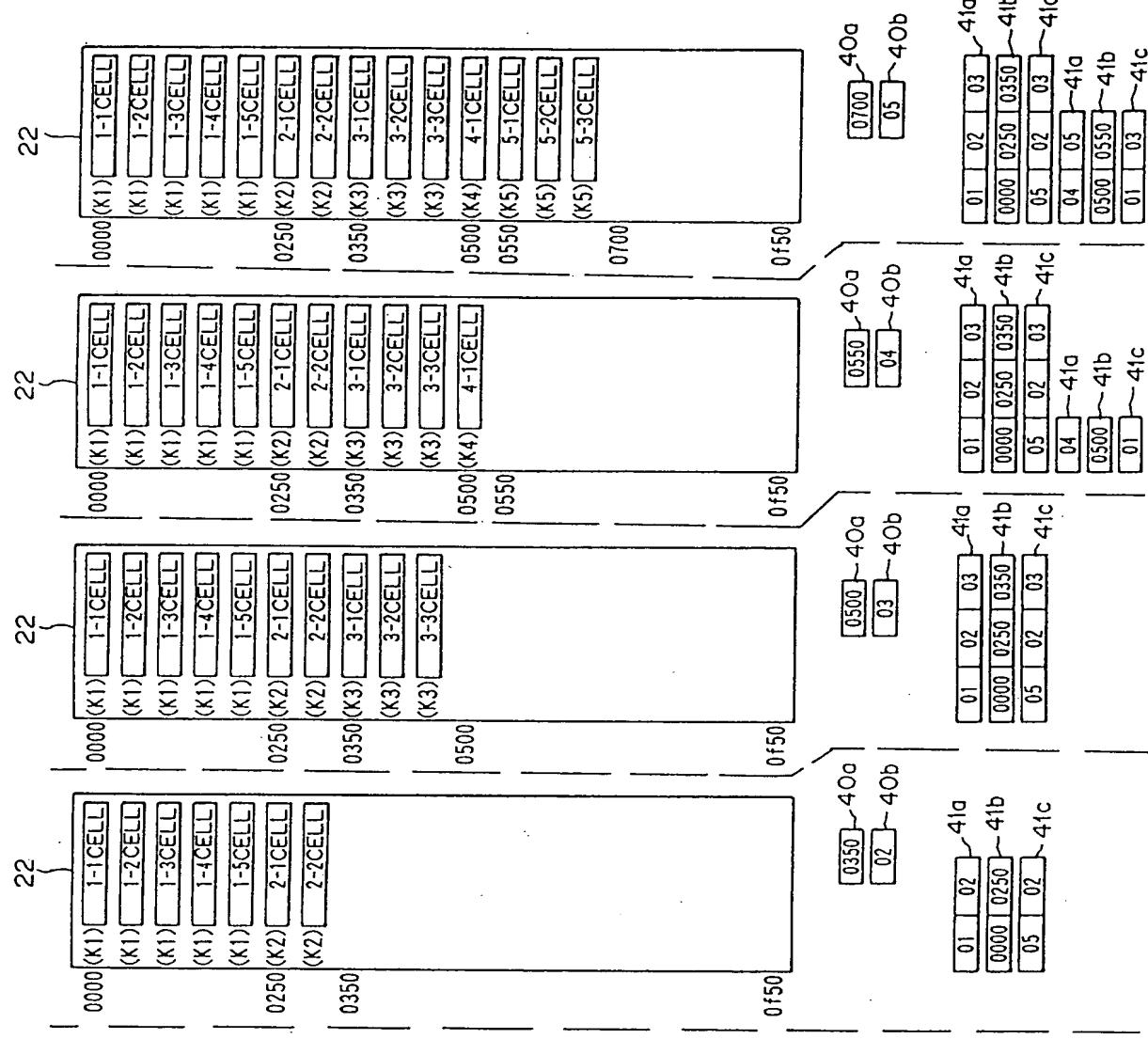


FIG. 15(c)



G.15(c)

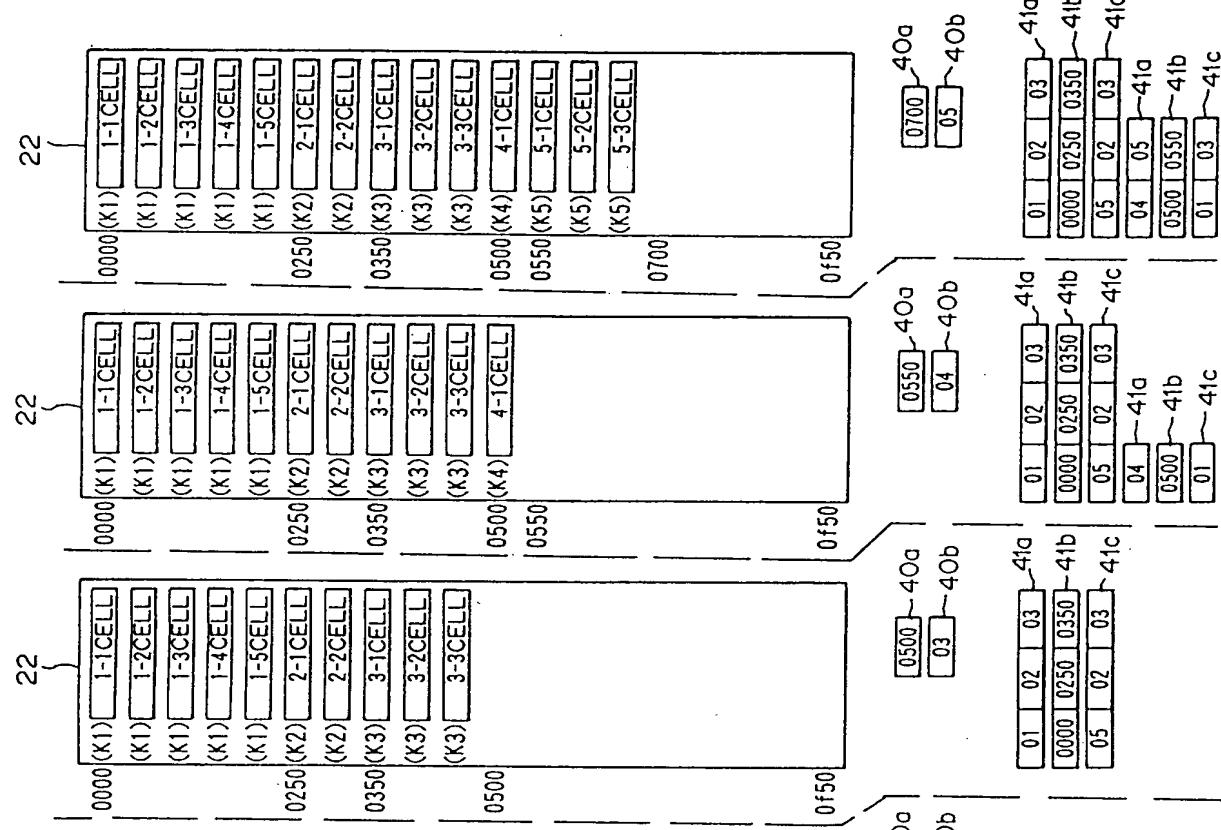


FIG 15(d)

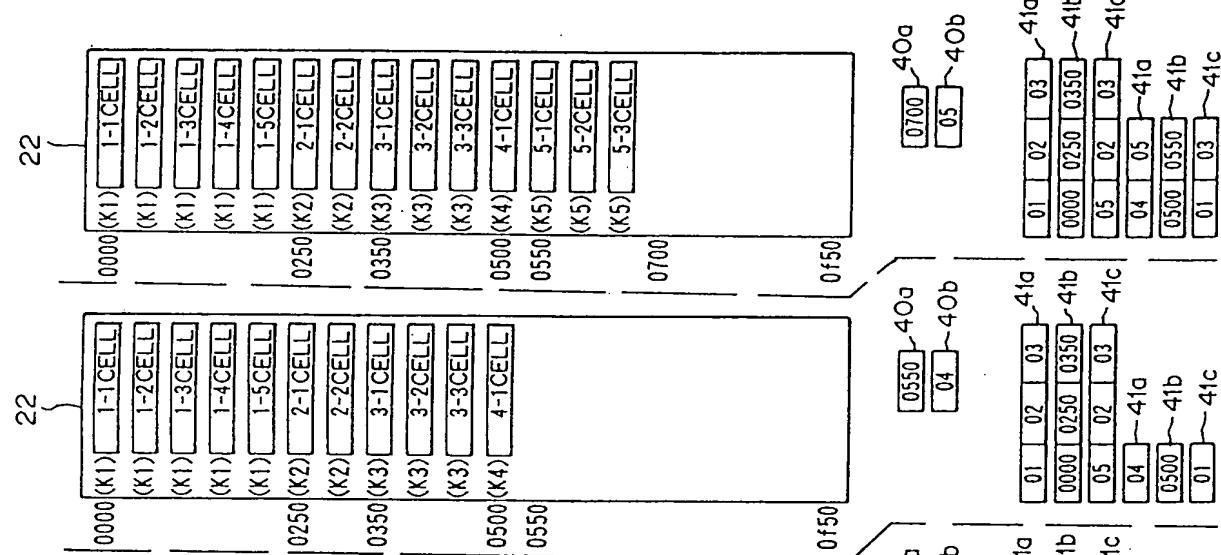


FIG 15(e)

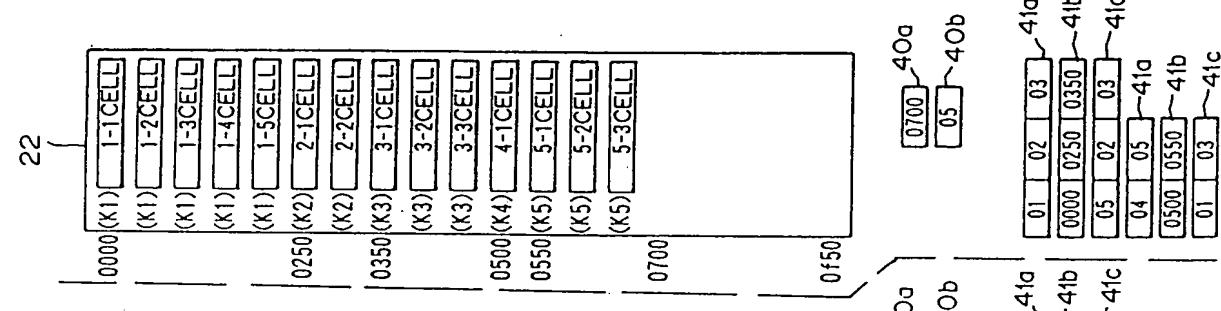


FIG 15(f)

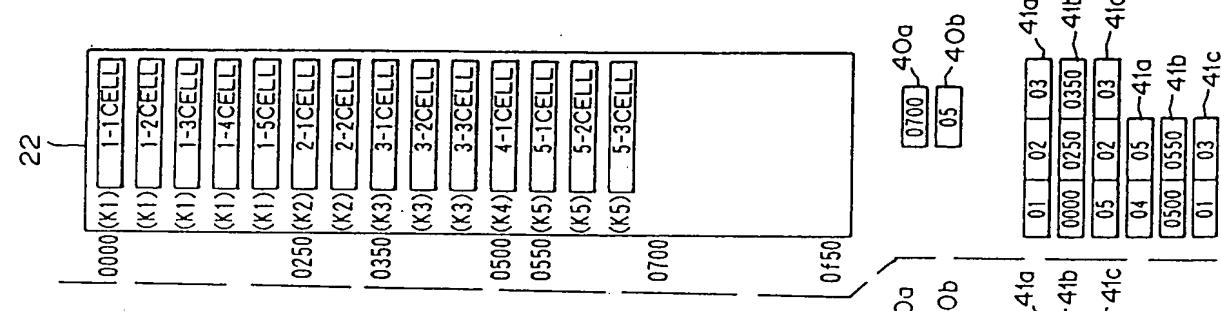


FIG. 16(a)

FIG. 16(b)

FIG. 16(c)

FIG. 16(d)

FIG. 16(e)

FIG. 16(f)

FIG. 17

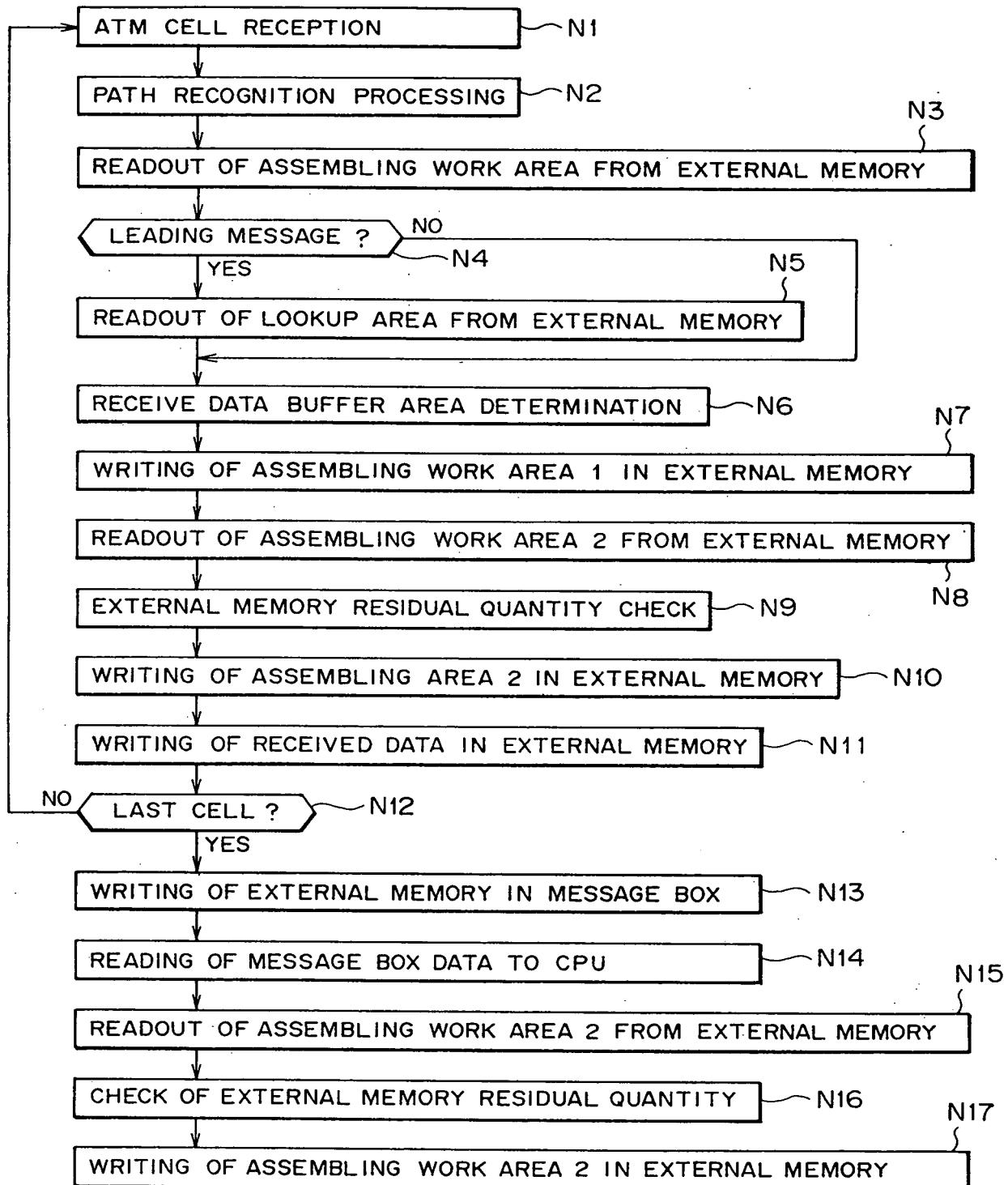


FIG. 18

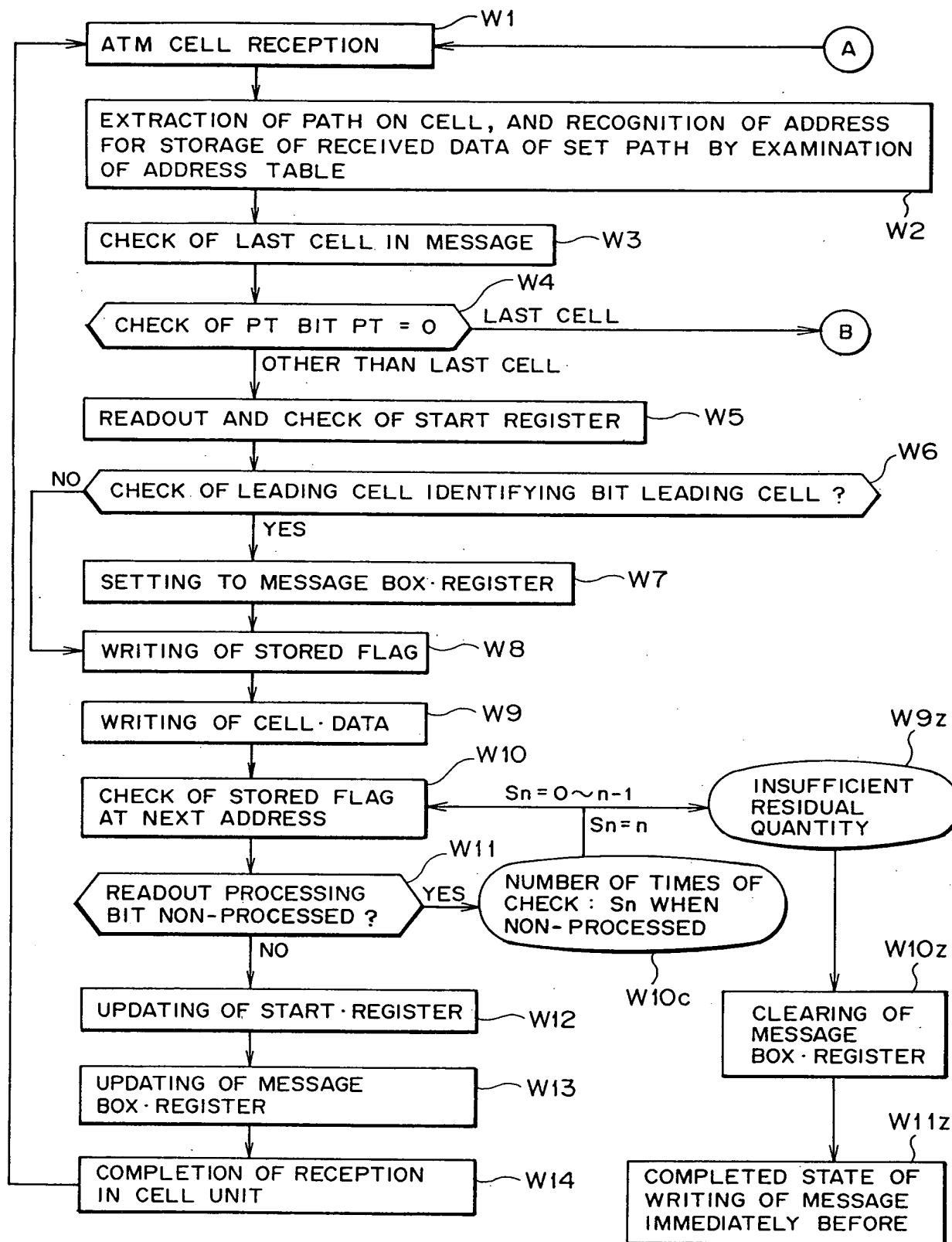


FIG. 19

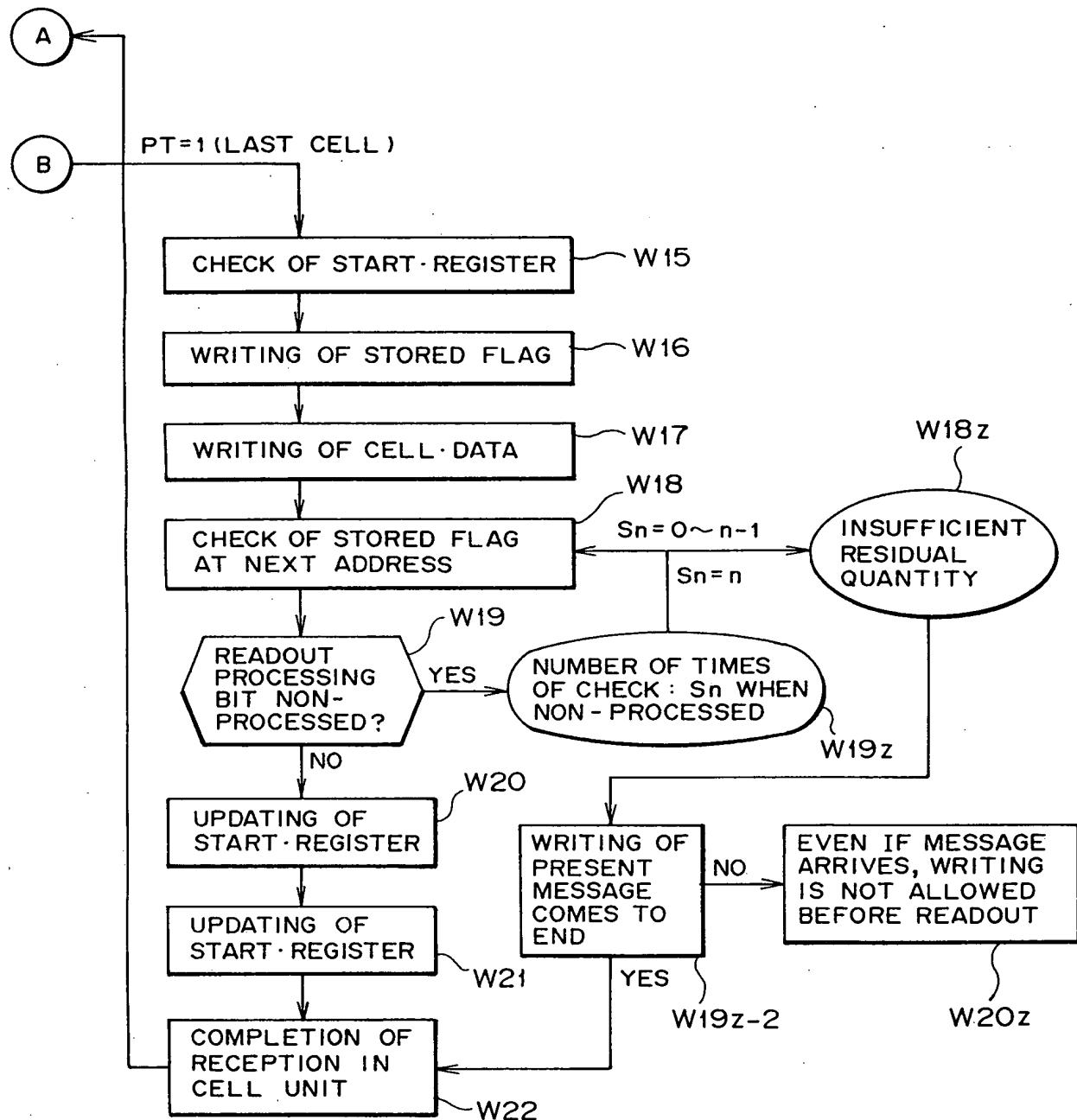


FIG. 20

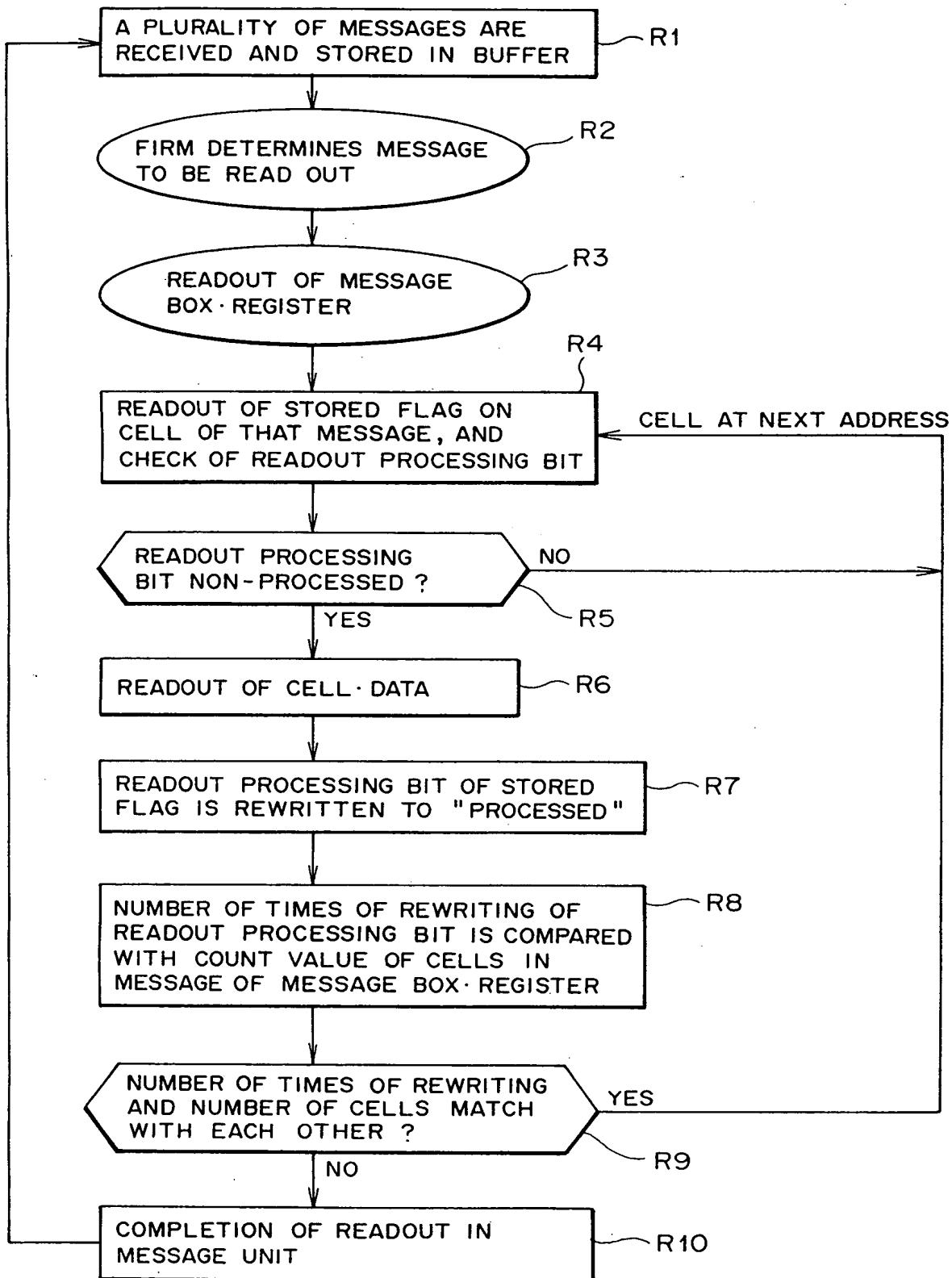


FIG. 21

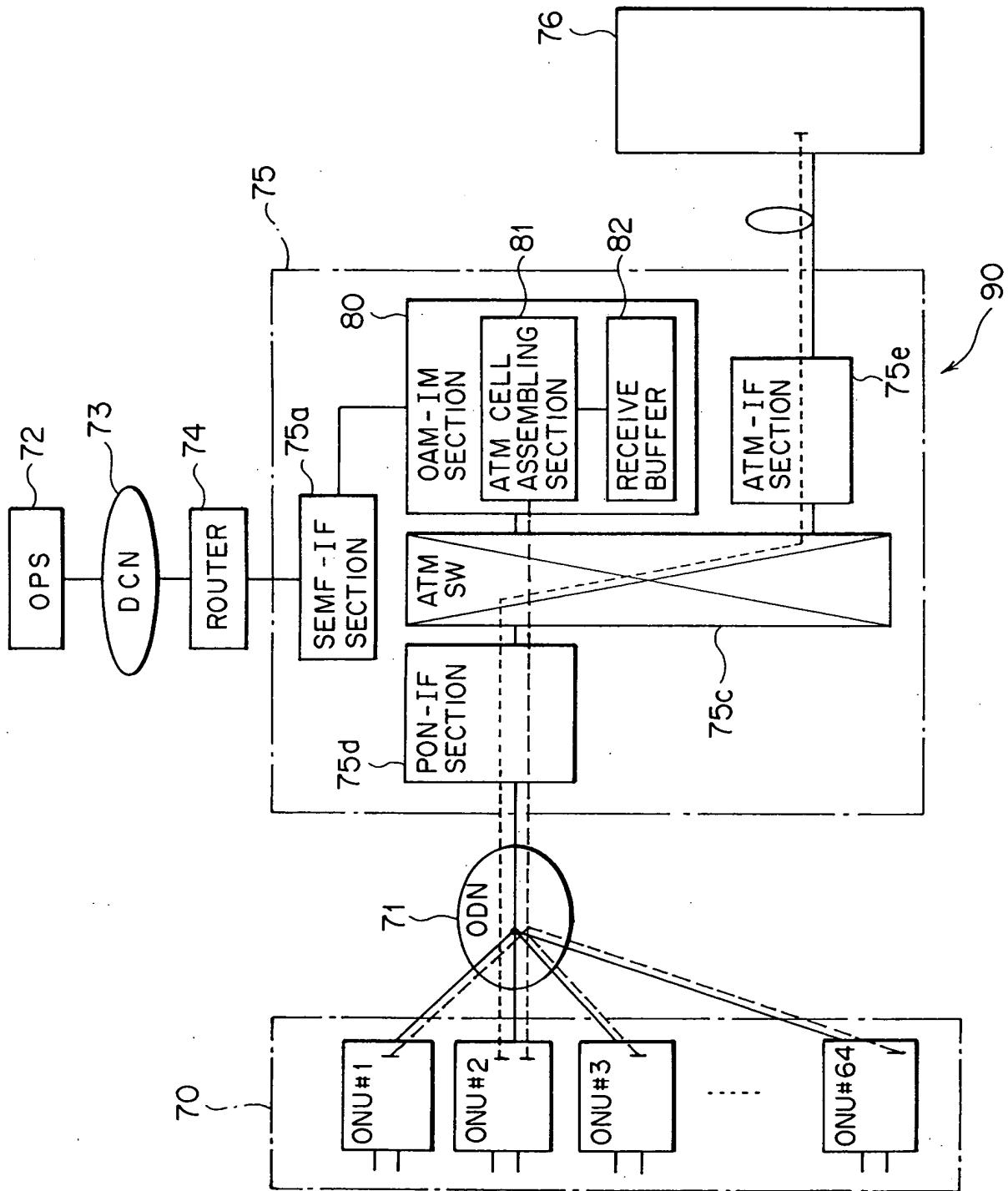


FIG. 22(a)

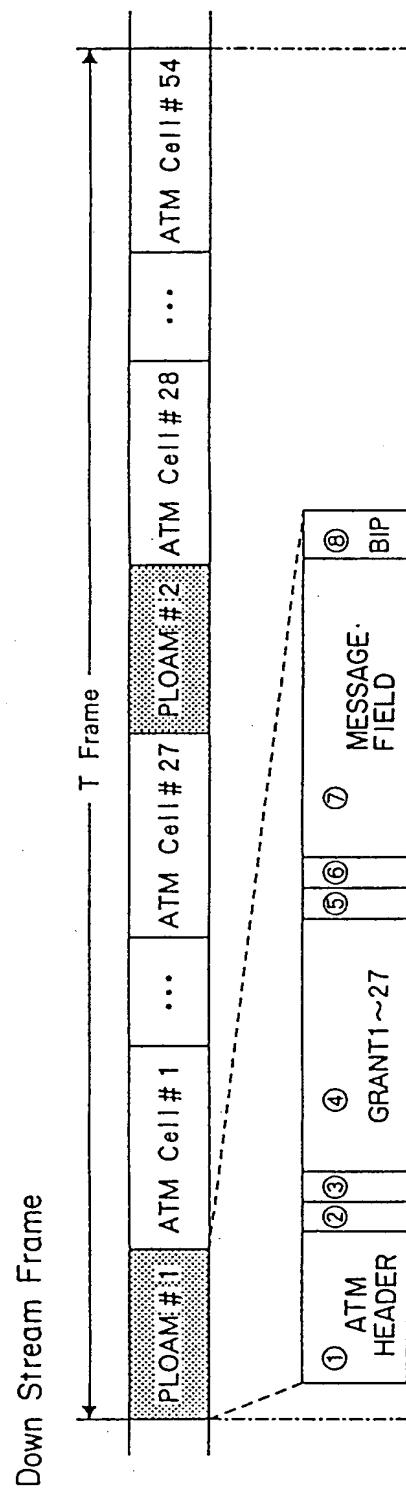


FIG. 22(b)

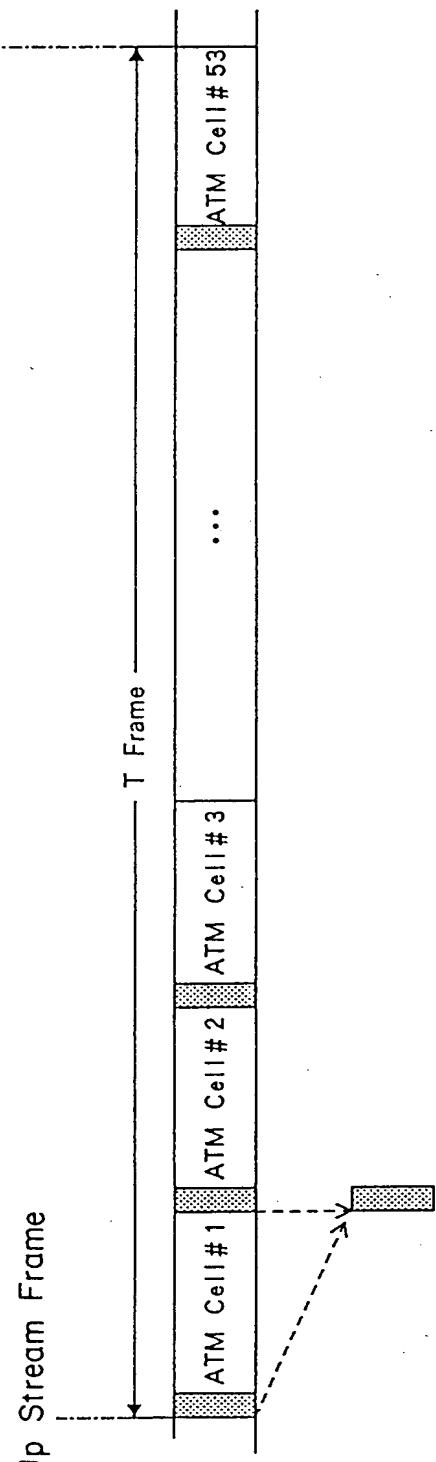


FIG. 23

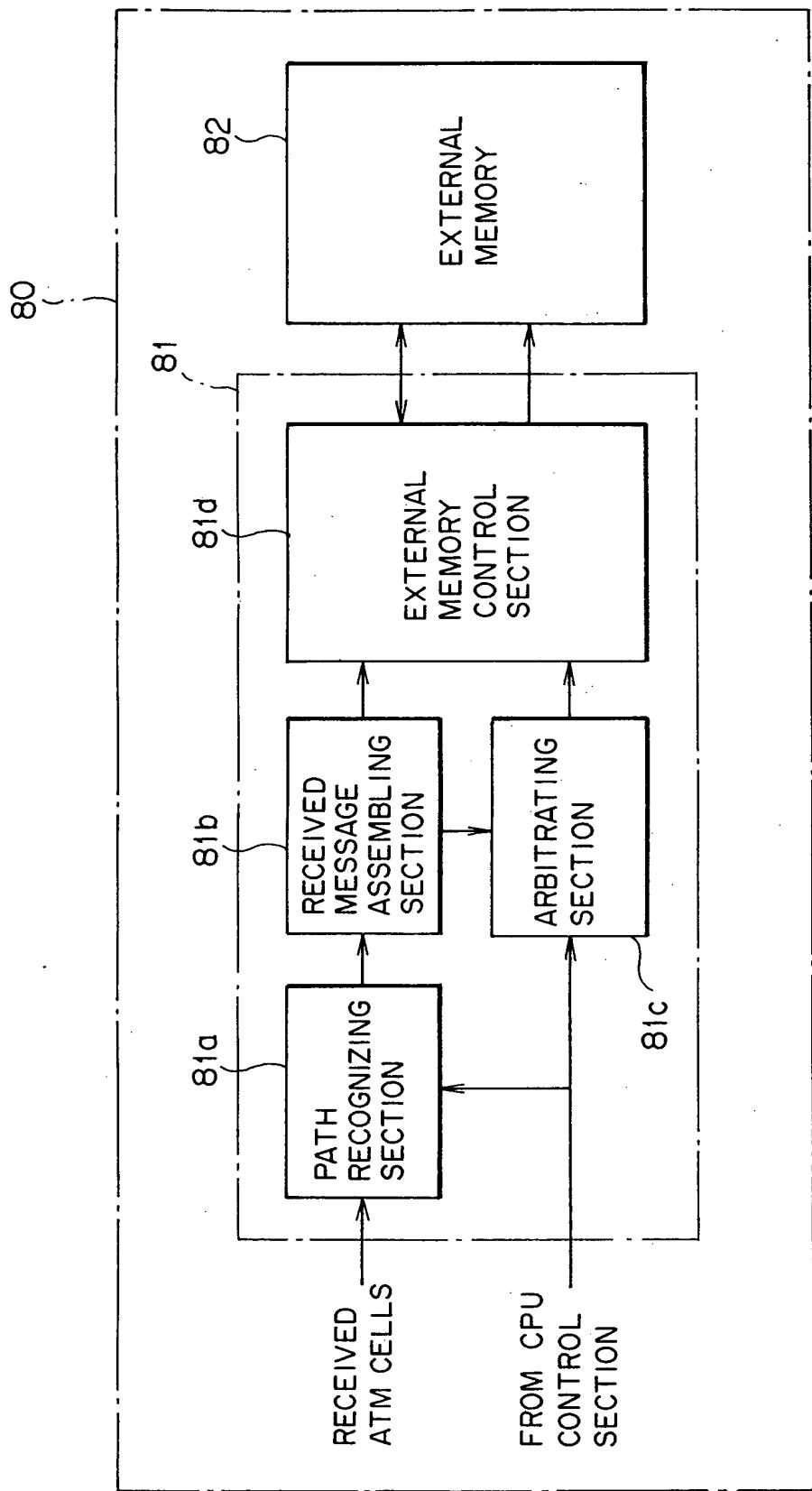


FIG. 24

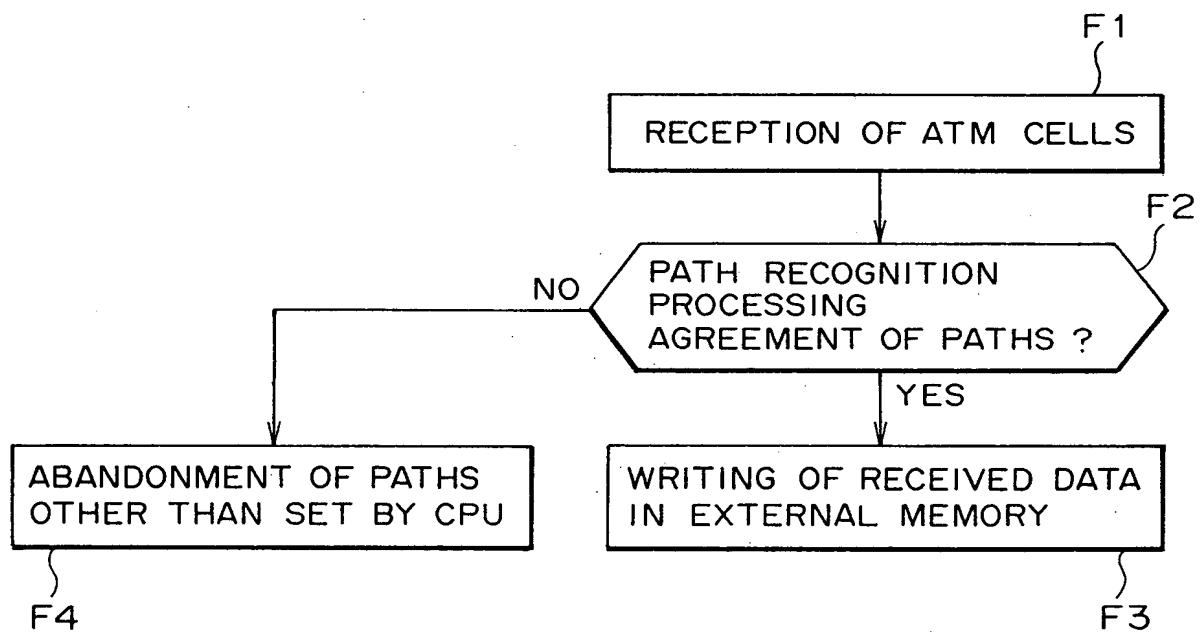


FIG. 25

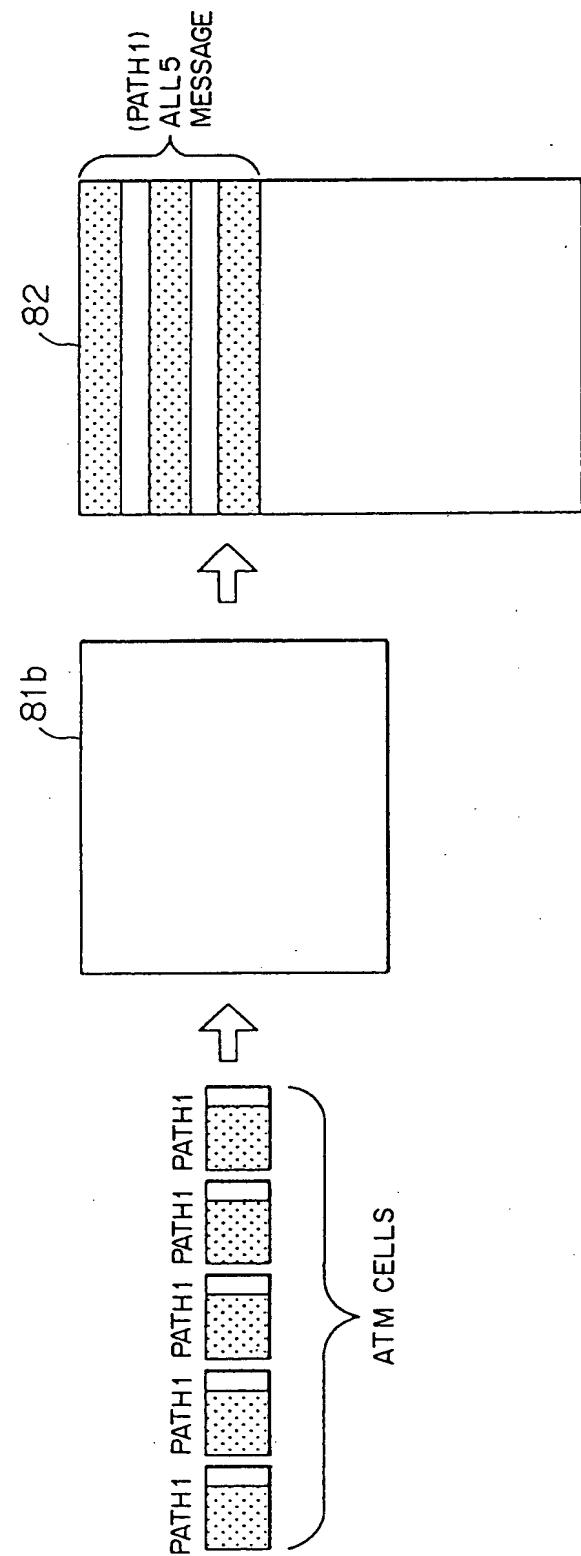


FIG. 26

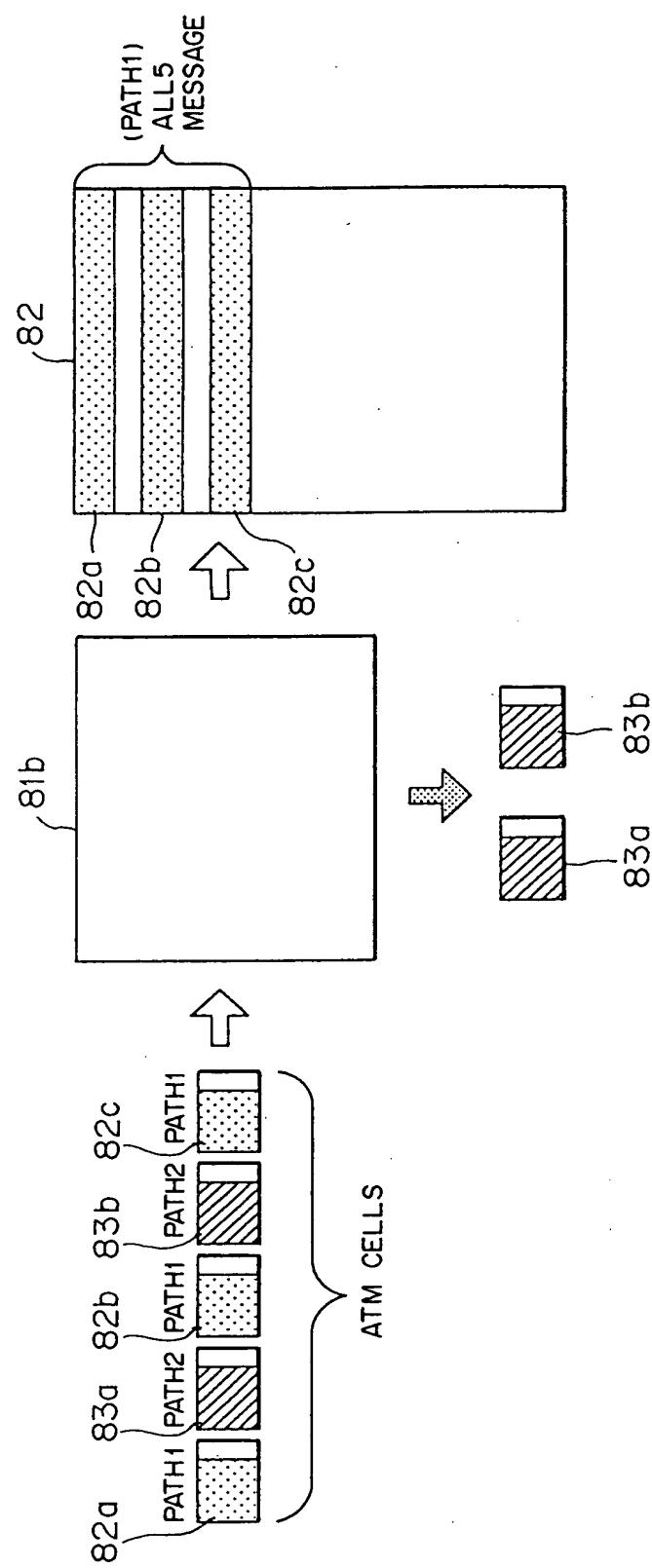
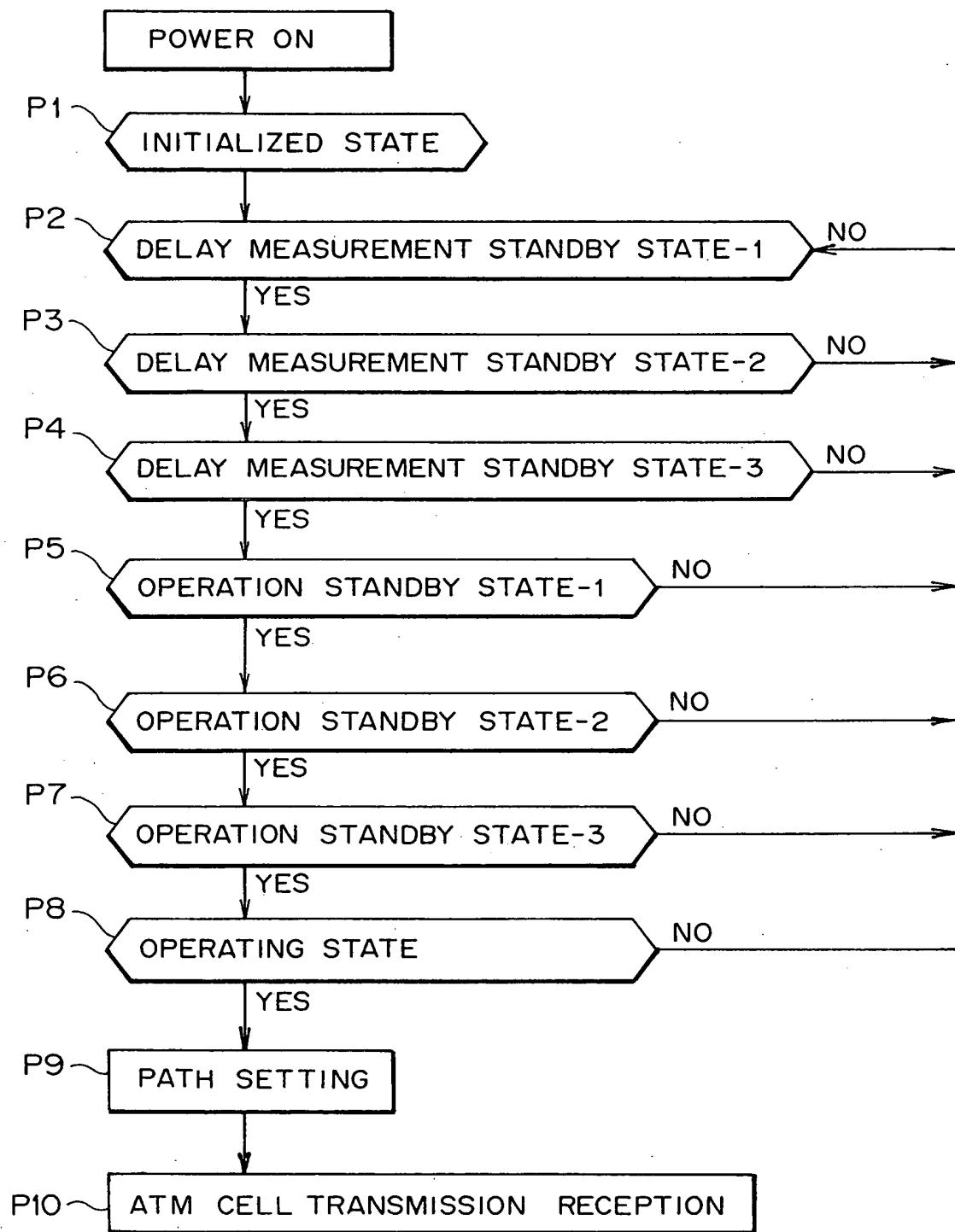


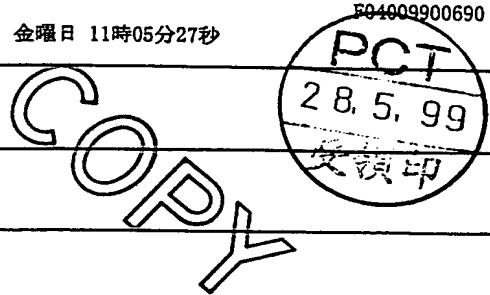
FIG. 27



特許協力条約に基づく国際出願願書

原本(出願用) - 印刷日時 1999年05月28日 (28.05.1999) 金曜日 11時05分27秒

F04009900690



0-1	受理官庁記入欄 国際出願番号	
0-2	国際出願日	
0-3	(受付印)	
0-4	この特許協力条約に基づく 国際出願願書(様式 - PCT/R0/101)は、 右記によって作成された。	PCT-EASY Version 2.83 (updated 01.03.1999)
0-5	申立て 出願人は、この国際出願が特許 協力条約に従って処理されるこ とを請求する。	
0-6	出願人によって指定された受 理官庁	日本国特許庁 (R0/JP)
0-7	出願人又は代理人の書類記号	F04009900690
I	発明の名称	メッセージ書き込み装置及びメッセージ書き込み 方法並びにメッセージ読み出し装置及びメッセ ージ読み出し方法並びに可変長のメッセージ書き込 み用のメモリアドレス制御回路及び可変長のメッ セージ読み出し用のメモリアドレス制御回路
II	出願人 この欄に記載した者は 右の指定国についての出願人で ある。	出願人である (applicant only) 米国を除くすべての指定国 (all designated States except US)
II-1	名称	富士通株式会社
II-2	Name	FUJITSU LIMITED
II-4ja	あて名:	211-8588 日本国
II-4en		神奈川県 川崎市
II-5ja	Address:	中原区上小田中4丁目1番1号
II-5en		1-1, Kamikodanaka 4-chome, Nakahara-ku, Kawasaki-shi, Kanagawa 211-8588
II-6	国籍 (国名)	Japan
II-7	住所 (国名)	日本国 JP

特許協力条約に基づく国際出願願書

原本 (出願用) - 印刷日時 1999年05月28日 (28.05.1999) 金曜日 11時05分27秒

F04009900690

III-1	その他の出願人又は発明者 この欄に記載した者は	出願人及び発明者である (applicant and inventor) 米国のみ (US only)
III-1-2	右の指定国についての出願人である。 氏名 (姓名)	山森 晃 YAMAMORI, Akira 540-0001 日本国 大阪府 大阪市 中央区城見2丁目2番6号 富士通関西ディジタル・テクノロジ株式会社内 c/o FUJITSU KANSAI DIGITAL TECHNOLOGY LIMITED, 2-6, Shiromi 2-chome, Chuo-ku, Osaka-shi, Osaka 540-0001 Japan
III-1-4en	Name (LAST, First)	
III-1-5ja	あて名:	
III-1-5en	Address:	
III-1-6	国籍 (国名)	日本国 JP
III-1-7	住所 (国名)	日本国 JP
III-2	その他の出願人又は発明者 この欄に記載した者は	出願人及び発明者である (applicant and inventor) 米国のみ (US only)
III-2-1	右の指定国についての出願人である。 氏名 (姓名)	佐々木 健 SASAKI, Takeshi 540-0001 日本国 大阪府 大阪市 中央区城見2丁目2番6号 富士通関西ディジタル・テクノロジ株式会社内 c/o FUJITSU KANSAI DIGITAL TECHNOLOGY LIMITED, 2-6, Shiromi 2-chome, Chuo-ku, Osaka-shi, Osaka 540-0001 Japan
III-2-4en	Name (LAST, First)	
III-2-5ja	あて名:	
III-2-5en	Address:	
III-2-6	国籍 (国名)	日本国 JP
III-2-7	住所 (国名)	日本国 JP

特許協力条約に基づく国際出願願書

原本(出願用) - 印刷日時 1999年05月28日 (28.05.1999) 金曜日 11時05分27秒

F04009900690

III-3 III-3-1	その他の出願人又は発明者 この欄に記載した者は	出願人及び発明者である (applicant and inventor) 米国のみ (US only)
III-3-2	右の指定国についての出願人である。 氏名(姓名)	前田 英二 MAEDA, Eiji
III-3-4ja III-3-4en III-3-5ja	Name (LAST, First) あて名:	540-0001 日本国 大阪府 大阪市 中央区城見2丁目2番6号 富士通関西ディジタル・テクノロジ株式会社内 c/o FUJITSU KANSAI DIGITAL TECHNOLOGY LIMITED, 2-6, Shiromi 2-chome, Chuo-ku, Osaka-shi, Osaka 540-0001 Japan
III-3-5en	Address:	日本国 JP
III-3-6 III-3-7	国籍(国名) 住所(国名)	日本国 JP
III-4 III-4-1	その他の出願人又は発明者 この欄に記載した者は	出願人及び発明者である (applicant and inventor) 米国のみ (US only)
III-4-2 III-4-4ja III-4-4en III-4-5ja	右の指定国についての出願人である。 氏名(姓名) Name (LAST, First) あて名:	前田 正男 MAEDA, Masao 540-0001 日本国 大阪府 大阪市 中央区城見2丁目2番6号 富士通関西ディジタル・テクノロジ株式会社内 c/o FUJITSU KANSAI DIGITAL TECHNOLOGY LIMITED, 2-6, Shiromi 2-chome, Chuo-ku, Osaka-shi, Osaka 540-0001 Japan
III-4-5en	Address:	日本国 JP
III-4-6 III-4-7	国籍(国名) 住所(国名)	日本国 JP

特許協力条約に基づく国際出願願書

原本 (出願用) - 印刷日時 1999年05月28日 (28.05.1999) 金曜日 11時05分27秒

F04009900690

4/8

III-5 III-5-1	その他の出願人又は発明者 この欄に記載した者は	出願人及び発明者である (applicant and inventor) 米国のみ (US only)
III-5-2	右の指定国についての出願人で ある。	奥 達也 OKU, Tatsuya 540-0001 日本国 大阪府 大阪市 中央区城見2丁目2番6号 富士通関西ディジタル・テクノロジ株式会社内 c/o FUJITSU KANSAI DIGITAL TECHNOLOGY LIMITED, 2-6, Shiromi 2-chome, Chuo-ku, Osaka-shi, Osaka 540-0001 Japan
III-5-4ja III-5-4en III-5-5ja	氏名 (姓名) Name (LAST, First) あて名:	日本国 JP
III-5-5en	Address:	日本国 JP
III-5-6 III-5-7	国籍 (国名) 住所 (国名)	日本国 JP
III-6 III-6-1	その他の出願人又は発明者 この欄に記載した者は	出願人及び発明者である (applicant and inventor) 米国のみ (US only)
III-6-2	右の指定国についての出願人で ある。	奥田 佳則 OKUDA, Yoshinori 540-0001 日本国 大阪府 大阪市 中央区城見2丁目2番6号 富士通関西ディジタル・テクノロジ株式会社内 c/o FUJITSU KANSAI DIGITAL TECHNOLOGY LIMITED, 2-6, Shiromi 2-chome, Chuo-ku, Osaka-shi, Osaka 540-0001 Japan
III-6-4ja III-6-4en III-6-5ja	氏名 (姓名) Name (LAST, First) あて名:	日本国 JP
III-6-5en	Address:	日本国 JP
III-6-6 III-6-7	国籍 (国名) 住所 (国名)	日本国 JP

III-7 III-7-1	その他の出願人又は発明者 この欄に記載した者は	出願人及び発明者である (applicant and inventor) 米国のみ (US only)
III-7-2	右の指定国についての出願人で ある。 氏名 (姓名)	岡田 翔生 OKADA, Tsuguo
III-7-4ja III-7-4en	Name (LAST, First)	540-0001 日本国 大阪府 大阪市
III-7-5ja	あて名:	中央区城見2丁目2番6号 富士通関西ディジタル・テクノロジ株式会社内 c/o FUJITSU KANSAI DIGITAL TECHNOLOGY LIMITED, 2-6, Shiromi 2-chome, Chuo-ku, Osaka-shi, Osaka 540-0001 Japan
III-7-5en	Address:	日本国 JP
III-7-6 III-7-7	国籍 (国名) 住所 (国名)	日本国 JP
III-8 III-8-1	その他の出願人又は発明者 この欄に記載した者は	出願人及び発明者である (applicant and inventor) 米国のみ (US only)
III-8-2	右の指定国についての出願人で ある。 氏名 (姓名)	安尾 明弘 YASUO, Akihiro
III-8-4ja III-8-4en	Name (LAST, First)	211-8588 日本国 神奈川県 川崎市
III-8-5ja	あて名:	中原区上小田中4丁目1番1号 富士通株式会社内 c/o FUJITSU LIMITED, 1-1, Kamikodanaka 4-chome, Nakahara-ku, Kawasaki-shi, Kanagawa 211-8588 Japan
III-8-5en	Address:	日本国 JP
III-8-6 III-8-7	国籍 (国名) 住所 (国名)	日本国 JP

III-9-1	III-9-1 その他の出願人又は発明者 この欄に記載した者は	出願人及び発明者である (applicant and inventor) 米国のみ (US only)
III-9-2	III-9-2 右の指定国についての出願人である。 氏名(姓名)	吉沢 仁一 YOSHIZAWA, Jinichi
III-9-4en	III-9-4en Name (LAST, First)	211-8588 日本国
III-9-5ja	III-9-5ja あて名:	神奈川県 川崎市
III-9-5en	III-9-5en Address:	中原区上小田中4丁目1番1号 富士通株式会社内 c/o FUJITSU LIMITED, 1-1, Kamiordanaka 4-chome, Nakahara-ku, Kawasaki-shi, Kanagawa 211-8588 Japan
III-9-6	III-9-6 国籍(国名)	日本国 JP
III-9-7	III-9-7 住所(国名)	日本国 JP
IV-1	IV-1 代理人又は共通の代表者、通知のあて名 下記の者は国際機関において右記のごとく出願人のために行動する。 氏名(姓名)	代理人 (agent)
IV-1-1ja	IV-1-1ja Name (LAST, First)	真田 有 SANADA, Tamotsu
IV-1-1en	IV-1-1en あて名:	180-0004 日本国
IV-1-2ja	IV-1-2ja Address:	東京都 武蔵野市 吉祥寺本町1丁目10番31号 吉祥寺広瀬ビル5階 Kichijoji-Hirose Bldg. 5th Floor, 10-31, Kichijoji-honcho 1-chome, Musashino-shi, Tokyo 180-0004 Japan
IV-1-3	IV-1-3 電話番号	0422-21-4222
IV-1-4	IV-1-4 ファクシミリ番号	0422-21-3359
IV-1-5	IV-1-5 電子メール	patent.sanada@nifty.ne.jp
V-1	V-1 国の指定 広域特許 (他の種類の保護又は取扱いを 求める場合には括弧内に記載する。)	EP: AT BE CH< CY DE DK ES FI FR GB GR IE IT LU MC NL PT SE 及びヨーロッパ特許条約と特許協力条約の締約国 である他の国
V-2	V-2 国内特許 (他の種類の保護又は取扱いを 求める場合には括弧内に記載する。)	JP US

特許協力条約に基づく国際出願願書

原本 (出願用) - 印刷日時 1999年05月28日 (28.05.1999) 金曜日 11時05分27秒

F04009900690

V-5	指定の確認の宣言 出願人は、上記の指定に加えて、規則4.9(b)の規定に基づき、特許協力条約のもとで認められる他の全ての国の指定を行う。ただし、V-6欄に示した国の中の指定を除く。出願人は、これらの追加される指定が確認を条件としていること、並びに優先日から15月が経過する前にその確認がなされない指定は、この期間の経過時に、出願人によって取り下げられたものとみなされることを宣言する。		
V-6	指定の確認から除かれる国 なし (NONE)		
VI	優先権主張 なし (NONE)		
VII-1	特定された国際調査機関 (ISA) 日本国特許庁 (ISA/JP)		
VIII	照合欄	用紙の枚数	添付された電子データ
VIII-1	願書	8	-
VIII-2	明細書	54	-
VIII-3	請求の範囲	5	-
VIII-4	要約	1	f04009900690.txt
VIII-5	図面	27	-
VIII-7	合計	95	
VIII-8	添付書類	添付	添付された電子データ
VIII-9	手数料計算用紙	✓	-
VIII-10	別個の記名押印された委任状	✓	-
VIII-11	包括委任状の写し	✓	-
VIII-16	PCT-EASYディスク	-	フレキシブルディスク
VIII-17	その他	納付する手数料に相当する特許印紙を貼付した書面	-
VIII-17	その他	国際事務局の口座への振り込みを証明する書面	-
VIII-18	要約書とともに提示する図の番号	3	
VIII-19	国際出願の使用言語名:	日本語 (Japanese)	
IX-1	提出者の記名押印		
IX-1-1	氏名(姓名)	真田 有	

受理官庁記入欄

10-1	国際出願として提出された書類の実際の受理の日	
10-2	図面: 10-2-1 受理された 10-2-2 不足図面がある	

特許協力条約に基づく国際出願願書

原本(出願用) - 印刷日時 1999年05月28日 (28.05.1999) 金曜日 11時05分27秒

F04009900690

10-3	国際出願として提出された書類を補完する書類又は図面であってその後期間内に提出されたものの実際の受理の日(訂正日)	
10-4	特許協力条約第11条(2)に基づく必要な補完の期間内の受理の日	
10-5	出願人により特定された国際調査機関	ISA/JP
10-6	調査手数料未払いにつき、国際調査機関に調査用写しを送付していない	

国際事務局記入欄

11-1	記録原本の受理の日	
------	-----------	--

1/2
特許協力条約に基づく国際出願願書(願書付属書
-手数料計算用紙)

F04009900690

原本(出願用) - 印刷日時 1999年05月28日 (28.05.1999) 金曜日 11時05分27秒

[この用紙は、国際出願の一部を構成せず、国際出願の用紙の枚数に算入しない]

0	受理官庁記入欄 国際出願番号			
0-1				
0-2	受理官庁の日付印			
0-4	(付属書) この特許協力条約に基づく国 際出願願書付属書(様式 - PCT/R0/101(Annex))は、 右記によって作成された。			
0-4-1		PCT-EASY Version 2.83 (updated 01.03.1999)		
0-9	出願人又は代理人の書類記号	F04009900690		
2	出願人	富士通株式会社		
12	所定の手数料の計算	金額/係数	小計 (JPY)	
12-1	送付手数料 T	⇒	18,000	
12-2	調査手数料 S	⇒	77,000	
12-3	国際手数料 基本手数料 (最初の30枚まで) b1	54,800		
12-4	30枚を越える用紙の枚数 65			
12-5	用紙1枚の手数料 (X) 1,300			
12-6	合計の手数料 b2	84,500		
12-7	b1 + b2 = B	139,300		
12-8	指定手数料 国際出願に含まれる指定国 数 3			
12-9	支払うべき指定手数料の数 (上限は10) 3			
12-10	1指定当たりの手数料 (X) 12,600			
12-11	合計の指定手数料 D 37,800			
12-12	PCT-EASYによる料金の 減額 -16,900			
12-13	国際手数料の合計 (B+D-R) I	⇒	160,200	
12-17	納付するべき手数料の合計 (T+S+I+P)	⇒	255,200	
12-19	支払方法	送付手数料: 特許印紙 調査手数料: 特許印紙 国際手数料: 銀行口座への振込み 優先権証明書請求手数料:		

EASYによるチェック結果と出願人による言及

13-2-1	EASYによるチェック結果 願書	Green? 発明の名称はできるだけ短く的確にまとめてください。
13-2-2	EASYによるチェック結果 指定国	Green? より多くの指定が可能です。確認してください。

原本(出願用) - 印刷日時 1999年05月28日 (28.05.1999) 金曜日 11時05分27秒

13-2-3	EASYによるチェック結果 氏名(名称)	Green? 出願人1: 電話番号が記入されていません。
13-2-4	EASYによるチェック結果 優先権	Green? 出願人1: ファクシミリ番号が記入されていません。
13-2-6	EASYによるチェック結果 内訳	Green? 添付書類"包括委任状の写し"の包括委任状番号が記入されていません。
13-2-10	EASYによるチェック結果 受理官庁/国際事務局記入欄	Green? この願書を作成したPCT-EASYは英語版ないし西欧言語版以外のWindows上で動作しています。ASCII文字以外の文字について、願書と電子データを注意して比較してください。

委 任 状

1999年 5 月 25 日

私儀 弁理士 真 田 有 を代理人と定めて、下記の権限を委任します。

1. 特許協力条約に基づく国際出願

に関する一切の件

2. 上記出願及び指定国の中止を取下げる件

3. 上記出願についての国際予備審査の請求に関する一切の件並びに請求及び選択国の中止を取下げる件

あて名 大阪府大阪市中央区城見2丁目2番6号
氏名 富士通関西ディジタル・テクノロジ 株式会社内
山森 晃



あて名 大阪府大阪市中央区城見2丁目2番6号
氏名 富士通関西ディジタル・テクノロジ 株式会社内
佐々木 健



あて名 大阪府大阪市中央区城見2丁目2番6号
氏名 富士通関西ディジタル・テクノロジ 株式会社内
前田 英二



あて名 大阪府大阪市中央区城見2丁目2番6号
氏名 富士通関西ディジタル・テクノロジ 株式会社内
前田 正男



あて名 大阪府大阪市中央区城見2丁目2番6号
氏名 富士通関西ディジタル・テクノロジ 株式会社内
奥 達也



委 任 状

1999年 5 月 25 日

私儀 弁理士 真 田 有を代理人と定めて、下記の権限を委任します。

1. 特許協力条約に基づく国際出願

に関する一切の件

2. 上記出願及び指定国の指定を取下げる件

3. 上記出願についての国際予備審査の請求に関する一切の件並びに請求及び選択国の選択を取下げる件

あて名 大阪府大阪市中央区城見2丁目2番6号
氏名 富士通関西ディジタル・テクノロジ 株式会社内
奥田 佳則



あて名 大阪府大阪市中央区城見2丁目2番6号
氏名 富士通関西ディジタル・テクノロジ 株式会社内
岡田 嗣生



あて名 神奈川県川崎市中原区上小田中4丁目1番1号
氏名 富士通 株式会社内
安尾 明弘



委 任 状

1999年 5 月 25 日

私儀 弁理士 真 田 有 を代理人と定めて、下記の権限を委任します。

1. 特許協力条約に基づく国際出願

に関する一切の件

2. 上記出願及び指定国の指定を取下げる件

3. 上記出願についての国際予備審査の請求に関する一切の件並びに請求及び選択国の選択を取下げる件

あて名 神奈川県川崎市中原区上小田中4丁目1番1号
富士通 株式会社内
氏名 吉沢 仁一



包 括 委 任 状

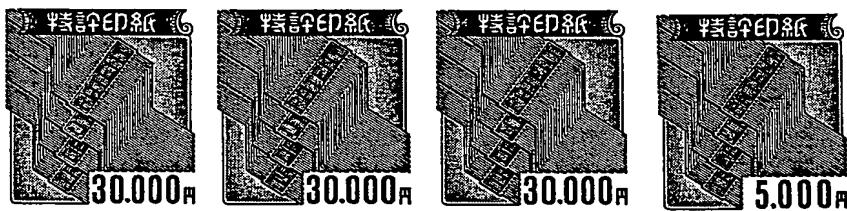
平成 8 年 7 月 18 日

私儀 弁理士 真田 有 氏
を代理人と定めて下記の権限を委任します。

1. 特許協力条約に基づくすべての国際出願に関する一切の件
2. 上記出願又は指定国の指定を取り下げる件
3. 上記出願に対する国際予備審査の請求に関する一切の件並びに
選択国の選択を取り下げる件

あて名 〒211 日本国神奈川県川崎市中原区上小田中4丁目1番1号
名 称 富士通株式会社
代表取締役社長 関澤 義





送付手数料・調査手数料 95,000 円

ご利用明細

本日はご来店いただきありがとうございます。

年月日	時刻	取扱店番	銀行番号	支店番号	口座番号	印紙税申告納付につき黒町税務署承認済
110528	10.10 220					
お取引内容	お取引金額	お取扱いで きない場合	残高	お取扱金種		
お振込	¥160,200*		おつり	¥603*	1円 5千円 1円	500円 100円 50円 10円 5円 1円

ご案内

お受取人 東京三菱銀行 内幸町支店
普通 0473286
WIPO-PCT GENEVA 様

ご依頼人 サナタ・タモツ 様
0422-21-4222

税込手数料 262円を いただきました

カード1枚でご預金のお出し入れ
お立替のご利用ができます。

詳しくは
裏面へ!

東京三菱のマイカード

- 残高欄の金額は決済未確認の証券類を含んでいます。
- 残高の頭部に「-」がある場合は、お借入れ残高を表わします。

東京三菱銀行

基本手数料	139,300 円
指定手数料	37,800 円
PCT-EASYによる減額	16,900 円
合 計	160,200 円

明細書

メッセージ書き込み装置及びメッセージ書き込み方法並びに
メッセージ読み出し装置及びメッセージ読み出し方法並びに
5 可変長のメッセージ書き込み用のメモリアドレス制御回路及び
可変長のメッセージ読み出し用のメモリアドレス制御回路

技術分野

本発明は、A A L 5 メッセージの送受信に用いて好適な、メッセージ書き込み
10 装置及びメッセージ書き込み方法並びにメッセージ読み出し装置及びメッセージ
読み出し方法並びに可変長のメッセージ書き込み用のメモリアドレス制御回路及
び可変長のメッセージ読み出し用のメモリアドレス制御回路に関する。

背景技術

15 近年、A T M (Asynchronous Transfer Mode) 網を用いた通信を効率よく行なう
ために、A T M - P O N (Asynchronous Transfer Mode-Passive Optical Network)
システムが導入されている。図 2 1 は、A T M - P O N システムの構成を示す
図である。この図 2 1 に示す A T M - P O N システム 9 0 は、例えば電話サービ
スや映像サービスを行なうシステムであって、O N U (Optical Network Unit) 群
20 7 0, O D N (Optical Distribution Network) 7 1, A T M - 光加入者線終端装置
7 5, S D H 基幹系多重装置 7 6, ルータ 7 4, D C N (Digital Connection
Network) 7 3, O P S (Operation System) 7 2 をそなえて構成されている。

ここで、O N U 群 7 0 は、複数のO N U、例えば、図 2 1 に示すように、6 4
台のO N U # 1 ~ # 6 4 を有する。これらO N U は、各家庭と結ばれており、一
般ユーザを収容するものである。そして、各O N U は、O D N 7 1 との間で、シ
リアル番号や識別情報を送受して、O D N 7 1 が、端末名を識別できるようにな
っており、そのシーケンスに関しては図 2 7 を用いて後述する。

また、O D N 7 1 は、O N U 群 7 0 からA T M - 光加入者線終端装置 7 5 に向
かう方向のA T M - P O N セルを時分割多重するとともに、A T M - 光加入者線

終端装置 75 から ONU 群 70 に向かう方向の ATM-PON セルを分岐するものである。

そして、ATM-光加入者線終端装置 75 は、ONU 群 70 の光加入者と、SDH 基幹系多重装置 76 側の ATM 網とのインターフェースを行なうとともに、
5 伝送を制御するものである。

図 22 (a) は下り 150Mbps のフレーム構成を示す図であり、図 22 (b) は上り 150Mbps のフレーム構成を示す図である。この図 22 (a) に示す下りフレームは、ATM-光加入者線終端装置 75 から ODN 71 に向かう方向に伝送されるフレームであり、図 22 (b) に示す上りフレームは、ODN 71 から ATM-光加入者線終端装置 75 に向かう方向に伝送されるフレームである。

この図 22 (a) に示す下りフレーム中に含まれる PLOAM #1, #2 は、性能モニタリングセルであって、ATM_Cel1 #1～ATM_Cel1 #5
4 は、ユーザセルである。これらの性能モニタリングセルとは、伝送路の監視用
15 のセルであって、送信側が 27 個のユーザセルを送信する毎に、自動的に送出されるものである。

具体的には、この PLOAM #1 には、バスの接続先の情報等が含まれている。
①と付された ATM ヘッダは、送られたきた ATM セルのヘッダ部であり、②と付された IDEN は、PLOAM セルの先頭を識別するものであり、また、③と付された SYNC は、タイミング生成のためのカウント値が書き込まれている。
20 さらに、④と付された GRANT 1～27 は、各 ONU に対して上り伝送路の送信許可情報が書き込まれている。なお、その許可内容は 7 通り存在する。加えて、
⑤と付されたメッセージ・PON-ID は、メッセージを送信する側の宛先 ID,
⑥と付されたメッセージ・ID は、メッセージ・タイプの識別子、⑦と付された
25 メッセージ・フィールドは、メッセージ内容を表示するものである。さらに、⑧と付された BIP は、この PLOAM セルの前までの ATM セルのビット誤り率の計算用のコードである。

次に、図 22 (b) に示す上りフレームは、時分割多重されたフレームであって、ATM_Cel1 #1～ATM_Cel1 #5 3 のユーザセルからなる。そ

して、各 ATM Cell の前に付加されているビット（網掛けしているもの）は、3 バイトのオーバヘッドであって、下り PLOAM セル内のメッセージによって、内容を制御するものである。

また、図 2.1 に示す SDH 基幹系多重装置 7.6 は、ATM セルを用いて主信号 5 データを伝送するものであり、ルータ 7.4 は、主信号データを伝送する際の局であり、そして、DCN 7.3 は、ディジタル網である。さらに、OPS 7.2 は、ONU 群 7.0 や ATM-光加入者線終端装置 7.5 を遠隔的に集中管理制御するものである。

加えて、また、この図 2.1 に示す目の粗い点線は、ATM-光加入者線終端装置 10 7.5 と ONU 群 7.0 との間の制御バス（制御コネクション）であって、目の細い点線が、ATM-光加入者線終端装置 7.5 と ONU 群 7.0 との間の主信号データバス（主信号コネクション）である。

これらにより、マルチコネクション接続が行なわれる。例えば都市 A にある ONU 群 7.0 からの主信号データは、主信号データバスにより、ODN 7.1 で時分割 15 多重され、ATM-光加入者線終端装置 7.5 を経由し、都市 B にある SDH 基幹系多重装置 7.6 に伝送されるようになっている。また、ONU 群 7.0 からの制御信号は、制御バスにより、ODN 7.1 で時分割多重され、ATM-光加入者線終端装置 7.5 内に入力され、この ATM-光加入者線終端装置 7.5 より、外部の網には、伝送されない。

20 次に、図 2.1 に示す ATM-光加入者線終端装置 7.5 において、ODN 7.1 側の PON-IF 部 7.5d は、ATM セルと ATM-PON セルとのフォーマット変換を行なうものである。また、ATM-SW 7.5c は、主信号データをスイッチングするものであり、ATM-IF 部 7.5e は、ATM-光加入者線終端装置 7.5 と SDH 基幹系多重装置 7.6 との間のセル伝送についてのインタフェースを行なうものである。

さらに、ルータ 7.4 側に接続されている SEMF-IF 部 7.5a は、OPS 7.2 から送信される信号から、制御コマンドを抽出し、OAM-IF 部 8.0 に送出するものであって、具体的には、OPS 7.2 からのフレームの形式変換を行なうものである。

そして、OAM-IF部80は、PON-IF部75dから入力されるATMセルのうち、一つのパスについてのみ、受信組立てを行なって、アダプテーションレイヤのAAL5 (ATM Adaptation Layer 5) メッセージに変換するものである。具体的には、このOAM-IF部80は、SEMF-IF部75aからの制御コマンドにより、ONU群70から到来する複数のセルのうち一つだけを、受信バッファを用いて組立てて、AAL5メッセージとして、ATM-IF部75eに送出するのである。

このAAL5メッセージとは、データ種類やデータ速度によって異なる形の、AAL0, AAL1, AAL3/4, AAL4, AAL5のアダプテーションレイヤのうちの一つである。よく知られているように、ATM通信におけるレイヤ構造は、物理レイヤと、物理レイヤの上位レイヤであってATM網における接続確立を行なってATMセルを送受信するためのATMレイヤと、ATMレイヤの上位のレイヤであって、情報データとATMセルとを翻訳するATMアダプテーションレイヤとからなる。例えば、量の大きい情報データは、ATMアダプテーションレイヤにて、48バイト単位に分割されたATMセルが生成され、そして、ATMレイヤと物理レイヤとにより処理されるのである。さらに、このアダプテーションレイヤは、情報データの種類や情報データの速度によって、AAL0, AAL1, AAL3/4, AAL4, AAL5に分類されている。

このうち、IPデータ等をATM網で伝送するレイヤは、AAL5である。このAAL5は、送信データに可変長のパッド（疑似データ）を付加して、48バイトの倍数になるようにし、さらに、そのパッドを付加されたデータをCRC演算して、パリティをその可変長のパッド付加されたデータに付加する。そうして得られた全データは、CS-PDUとして出力され、そして、そのCS-PDUは、48バイトのセグメントに分割されたATMセルが生成されるのである。また、このようにして、ビットエラーやセル損失を防止できる。

これにより、例えば64台のONU #1～#64からの複数のパスからのATM-PONセルは、ODN71にて、時分割多重され、そして、PON-IF部75dにて、ATMセルに変換されてから、ATM-SW75cにて、スイッチングされて、そのATMセルは、ATM-IF部75eからSDH基幹系多重装

置 7 6 に伝送される。また、S D H 基幹系多重装置 7 6 から伝送されてきた A T M セルは、A T M - I F 部 7 5 e を介して、O A M - I F 部 8 0 に入力されるようになっている。

ここで、このO A M - I F 部 8 0 内では、複数のパスのうちの一つのパスについてのみ、受信組立てが行なわれて、A A L 5 メッセージに変換される。そして、そのA A L 5 メッセージが、S D H 基幹系多重装置 7 6 から送出されるのである。なお、このパス情報とは、A T M セルヘッダ内のV P i (Virtual Path identifier) , V C i (Virtual Channel identifier) で識別されたパスをいう。

図 2 3 は、従来のO A M - I F 部のブロック図である。この図 2 3 に示すO A M - I F 部 8 0 は、A T M セル組立て部 8 1 と、外部メモリ（受信バッファ） 8 2 とを有する。ここで、パス認識部 8 1 a は、受信セルのパス情報を抽出して、受信組立て処理を行なうパス情報以外の受信セルを廃棄するものである。また、受信メッセージ組立て部 8 1 b は、組立てを行なうパス情報を有するA A L 5 メッセージについてセルの組立てを行なって、読み出し情報を出力するものであり、また、外部メモリ制御 8 1 d は、外部メモリ 8 2 の読み出しを制御するものである。

なお、調停部 8 1 c は、図 2 1 において、O A M - I F 部 8 0 が、S E M F - I F 部 7 5 a からコマンドを受信するタイミングと、外部メモリ 8 2 にて、メッセージ組立て処理を行なうタイミングとが時間的にずれた場合に、そのずれを吸収するものであり、C P U 制御部（図示せず）から入力される信号によって制御されている。

次に、上述の構成により、受信セルのうちの一つが選択される方法を図 2 4 を用いて説明する。図 2 4 は、従来の受信セルの組立て処理のフローチャートである。この図 2 4 に示すように、A T M セルが受信されると（ステップ F 1 ）、ステップ F 2 において、受信セルのパス情報が抽出され、受信組立て処理を行なうパス情報と一致するか否かが検査され、一致すれば、Y E S ルートをとり、組立てを行なうパス情報を有するA A L 5 メッセージについて、セルの組立てが行なわれ、受信セルのデータが外部メモリ 8 2 に書き込まれる（ステップ F 3 ）。また、ステップ F 2 での検査で一致しなければ、N O ルートをとり、そのパス情報

以外の受信セルは廃棄される（ステップF4）。

図25は、ATMセル受信からAAL5メッセージ組立てまでの流れを示す模式図である。この図25に示す受信メッセージ組立て部81bでは、パス1から送信されたATMセルについて、AAL5メッセージの組立てが行なわれる。なお、このパス情報（例えばパス1という情報）は、予め送信・受信双方で設定される。

図26は、ATMセル受信時に受信セルを廃棄する場合の流れを示す模式図である。この図26に示す受信メッセージ組立て部81bは、パス1についてAAL5メッセージの組立てを行なうものである。そして、この受信メッセージ組立て部81bに、パス1から送信されたATMセル82a, 82b, 82cと、パス2から送信されたATMセル83a, 83bとが入力されると、パス1のATMセル82a, 82b, 82cは、外部メモリ82において、AAL5メッセージの組立てが行なわれるが、設定以外のパス2のATMセル83a, 83bが割り込まれた場合は、パス2のAAL5メッセージの組立ては行なわれずに破棄される。

なお、前述したONUについて説明する。図27は、ONUの立ち上げシーケンスを示す図である。この図27に示すように、ONUは、電源が入れられると、初期状態となり（ステップP1）、ODN71との間で同期が確立すると、遅延測定待機状態-1となる（ステップP2）。ここで、パラメータが設定されると、遅延測定待機状態-2となり（ステップP3）、PON-I/F部75dとの間で、シリアル番号の送受信が行なわれ、シリアル番号が一致すると、YESルートをとり、遅延測定待機状態-3となる（ステップP4）。

次に、光レーザ出力についてのチェックがされて、その結果がよければ、YESルートをとり、運用待機状態-1となり（ステップP5）、ここで、再度、PON-I/F部75dとの間で、シリアル番号の送受が行なわれて、識別番号が通知され、運用待機状態-2となる（ステップP6）。さらに、PON-I/F部75dにおいて、複数のONUを識別するための識別番号が通知されて運用待機状態-3となり（ステップP7）、遅延調整指示値の通知があると、YESルートをとり、運用状態となり（ステップP8）、そして、パスの設定がされて（ステ

ップP9)、ATMセルの送受信が行なわれる(ステップP10)。なお、ステップP3～ステップP8において、状態遷移を行なうための信号が受信されないときは、NOルートをとり、ステップP2に戻って処理が行なわれる。

5 このように、このATM-PONシステム90においては、送信・受信双方で
予め設定されたパス情報を有するAAL5メッセージだけが組立てられる機能
しかサポートされていない。従って、この時、設定以外のパスのAAL5メッセージ
を受信しても、破棄するしかなく、大量に送受信できないという課題がある。
また、パス2のAAL5メッセージを組立てるには、パスの設定を切り換える必
要があるので、複数のパスがある場合は、それぞれのパス毎に設定を変更しなけ
10 ればならず、転送処理に大変時間を要するという課題がある。

本発明は、このような課題に鑑み創案されたもので、マルチコネクション接続
において、受信したATMセルを、受信バッファに読み書きする際に、各パス毎
に対応したメモリ領域に読み書きすることによって、複数パスのAAL5メッセージ
を処理できるようにして、かつ、転送処理能力を向上させることによって、
15 データ転送時間の短縮を実現できるようにした、メッセージ書き込み装置及びメ
ッセージ書き込み方法並びにメッセージ読み出し装置及びメッセージ読み出し方
法並びに可変長のメッセージ書き込み用のメモリアドレス制御回路及び可変長の
メッセージ読み出し用のメモリアドレス制御回路を提供することを目的とする。

20 発明の開示

このため、本発明のメッセージ書き込み装置は、可変長のメッセージを分割し
たセルであって、パス情報を有するセルを受信する受信手段と、該受信手段にて
受信された受信セルについての該パス情報を抽出し、該パス情報に対応する該可
変長のメッセージの大きさよりも大きいメモリ領域を割り当てるメッセージ領域
25 割り当て手段と、該メッセージ領域割り当て手段にて割り当てられた該メモリ領域
に該受信セルを書き込む際に、該受信セルに書き込み順位を付与する書き込み
順位付与手段と、該書き込み順位付与手段にて付与された該書き込み順位に従って
該受信セルを該メモリ領域に書き込む格納手段とをそなえて構成されたことを
特徴としている。

従って、このようにすれば、一つのセルが受信されたときに、そのセルに関して、上記の複数の管理情報を用いて、セル番号、メッセージ番号、セルの受信個数等が管理されるので、メモリ領域を効率的に使用することができる利点がある。また、複数バスの可変長のメッセージを転送することができる利点がある。

5 ルでの転送処理能力が向上し、データ転送時間の短縮が実現できる利点がある。さらに、受信バッファメモリへのセル書き込みが動的になるので、メモリ領域を有効に活用でき、マルチコネクション接続のための装置の規模が小型化されて、コストダウンができる利点がある。さらに、マルチコネクション接続ができ、各一般ユーザからのデータを時分割多重することができるようになり、大量のデータの転送ができる利点がある。

また、本発明のメッセージ書き込み方法によれば、可変長のメッセージを分割したセルであって、バス情報を有するセルを受信する受信ステップと、該受信ステップにて受信された受信セルについての該バス情報を抽出し該バス情報に対応する該可変長のメッセージの大きさよりも大きいメモリ領域を割り当てるメッセージ領域割り当てステップと、該メッセージ領域割り当てステップにて割り当てられた該メモリ領域に該受信セルを書き込む際に、該受信セルに書き込み順位を付与する書き込み順位付与ステップと、該書き込み順位付与ステップにて付与された該書き込み順位に従って該受信セルを該メモリ領域に書き込む格納ステップとをそなえて構成されたことを特徴としている。

20 従って、このようにすれば、一つのセルが受信されたときに、そのセルに関して、上記の複数の管理情報を用いて、セル番号、メッセージ番号、セルの受信個数等が管理されて読み書きされるので、メモリ領域を効率的に使用することができる利点がある。

さらに、本発明のメッセージ読み出し装置によれば、複数のセルからなるメッセージのそれぞれのセルであってメモリ領域に書き込まれたセルを読み出す、メッセージ読み出し装置であって、該セルが受信処理された順番に応じて付与された書き込み順位に基づいて、該メッセージを読み出す第1手段と、該セルについて読み出し処理が行なわれたか否かを表示するフラグ情報を該メモリ領域に書き込むことで付与された該書き込み順位に基づいて、該メッセージを読み出す第2

手段と、該メモリ領域内で書き込まれた該受信セルのメッセージ番号と書き込み位置情報を管理するメッセージ収納保持部の表示により付与された該書き込み順位に基づいて、該メッセージを読み出す第3手段とをそなえ、該メモリ領域の設定により、第1手段、第2手段、第3手段のうちいずれか一の手段を選択しうる制御手段をそなえて構成されたことを特徴としている。

従って、このようにすれば、複数のセルを処理でき、複数バスの可変長のメッセージを転送することが可能となるので、トータルでの転送処理能力が向上し、データ転送時間の短縮が実現できる利点がある。

そして、本発明のメッセージ読み出し方法によれば、複数のセルからなるメッセージのそれぞれのセルであってメモリ領域に書き込まれたものを読み出すメッセージ読み出し方法であって、該セルが受信処理された順番に応じて付与された書き込み順位に基づいて、該メッセージを読み出す第1ステップと、該セルについて読み出し処理が行なわれたか否かを表示するフラグ情報を該メモリ領域に書き込むことで付与された該書き込み順位に基づいて、該メッセージを読み出す第2ステップと、該メモリ領域内で書き込まれた該受信セルのメッセージ番号と書き込み位置情報を管理するメッセージ収納保持部の表示により付与された該書き込み順位に基づいて、該メッセージを読み出す第3ステップとをそなえ、該メモリ領域の設定により、第1ステップ、第2ステップ、第3ステップのうちいずれか一のステップを選択的に実行するように構成されたことを特徴としている。

従って、このようにすれば、複数の異なるバスからくるセルを処理でき、また、受信バッファメモリへのセル書き込みが動的になるので、メモリ領域を有効に活用でき、マルチコネクション接続のための装置の規模が小型化されて、コストダウンができる利点がある。

また、本発明の可変長のメッセージ書き込み用のメモリアドレス制御回路によれば、可変長のメッセージを分割した送信されたセルを受信しその受信セルからバス情報を抽出するバス認識部と、該バス認識部から出力される該バス情報に対応して、メモリに書き込む際の書き込み順位を付与し、書き込み領域の大きさと該可変長のメッセージの書き込み位置と受信されたセル数とを管理情報として出力しうる受信制御部と、該受信制御部からの該管理情報により、該バス情報に対

応する、該書き込み領域の大きさと該可変長のメッセージの書き込み位置と該受信されたセル数とが互いに関連付けられたアドレス表を有し、一つの可変長のメッセージについて受信セルを組立てて第2書き込み情報を出力しうる受信メッセージ組立て部と、該受信メッセージ組立て部からの該第2書き込み情報と該受信制御部からの該管理情報とにより、該メモリへの書き込みを制御しうるメモリ制御部とをそなえて構成されたことを特徴としている。

従って、このようにすれば、マルチコネクション接続ができ、各一般ユーザからのデータを時分割多重することができるようになり、大量のデータの転送ができる利点がある。

- 10 さらに、本発明の可変長のメッセージ読み出し用のメモリアドレス制御回路によれば、可変長のメッセージを分割した送信されたセルを受信しその受信セルからパス情報を抽出するパス認識部と、該パス認識部から出力される該パス情報に対応して、メモリから読み出す際の読み出し順位を付与し、読み出し領域の大きさと該可変長のメッセージの読み出し位置と受信されたセル数とを管理情報として出力しうる受信制御部と、該受信制御部からの該管理情報により、該パス情報に対応する、該読み出し領域の大きさと該可変長のメッセージの読み出し位置と該受信されたセル数とが互いに関連付けられたアドレス表を有し、一つの可変長のメッセージについて受信セルを組立てて第2読み出し情報を出力しうる受信メッセージ組立て部と、該受信メッセージ組立て部からの該第2読み出し情報と該受信制御部からの該管理情報とにより、該メモリへの読み出しを制御しうるメモリ制御部とをそなえて構成されたことを特徴とする。

従って、このようにすれば、複数の管理情報を用いて、セル番号、メッセージ番号、セルの受信個数等が管理されるので、メモリ領域を効率的に使用することができる利点がある。

25

図面の簡単な説明

図1は、本発明を適用される、ATM-PONシステムの構成を示す図である。

図2は、本発明の一実施形態に係るODNにおけるATMセルの時分割多重方式の模式図である。

図3は、本発明の一実施形態に係る、OAM-IF部のブロック図である。

図4は、本発明の一実施形態に係る、外部メモリのメモリ領域のマッピングの一例を示す図である。

図5は、本発明の一実施形態に係る、受信バッファ領域が固定長毎に割り当てる方法の説明図である。

図6は、本発明の一実施形態に係る、受信バッファ領域が可変的に割り当てる方法の説明図である。

図7は、本発明の一実施形態に係る、AAL5メッセージの書き込み方法を説明するための模式図である。

図8は、本発明の一実施形態に係る、AAL5メッセージの第2の書き込み方法を説明するための模式図である。

図9 (a)は、受信セルが書き込まれた状態のメモリ領域の模式図である。

図9 (b)は、CPUが1つ目のセルを読み出した後の状態のメモリ領域の模式図である。

図9 (c)は、CPUが2つ目のセルを読み出した後の状態のメモリ領域の模式図である。

図9 (d)は、CPUが3つ目のセルを読み出した後の状態のメモリ領域の模式図である。

図10 (a)は、受信セルが書き込まれた状態のメモリ領域の模式図である。

図10 (b)は、CPUが2つ目のセルを読み出した後の状態のメモリ領域の模式図である。

図10 (c)は、CPUが4つ目のセルを読み出した後の状態のメモリ領域の模式図である。

図10 (d)は、読み出し処理後のメモリ領域の模式図である。

図11 (a)は、バス1の1番目のメッセージの1番目のセルを受信した時のメモリ領域配置を示す図である。

図11 (b)は、バス1の1番目のメッセージの2番目のセルを受信した時のメモリ領域配置を示す図である。

図11 (c)は、バス1の1番目のメッセージの最終セルを受信した時のメモ

リ領域配置を示す図である。

図11 (d) は、パス1の2番目のメッセージの1番目のセルを受信した時のメモリ領域配置を示す図である。

図11 (e) は、パス1の2番目のメッセージの2番目のセルを受信した時の
5 メモリ領域配置を示す図である。

図11 (f) は、パス1の2番目のメッセージの3番目のセルを受信した時のメモリ領域配置を示す図である。

図12 (a) は、パス1の2番目のメッセージの4番目のセルを受信した時のメモリ領域配置を示す図である。

10 図12 (b) は、パス1の2番目のメッセージの5番目のセルを受信した時のメモリ領域配置を示す図である。

図12 (c) は、パス1の2番目のメッセージの最終セルを受信した時のメモリ領域配置を示す図である。

15 図12 (d) は、パス1の3番目のメッセージの1番目のセルを受信した時のメモリ領域配置を示す図である。

図12 (e) は、パス1の3番目のメッセージの2番目のセルを受信した時のメモリ領域配置を示す図である。

図12 (f) は、パス1の3番目のメッセージの最終セルを受信した時のメモリ領域配置を示す図である。

20 図13 (a) は、パス1の4番目のメッセージの最終セルを受信した時のメモリ領域配置を示す図である。

図13 (b) は、CPUに1番目のメッセージの読み出し通知がなされる時のメモリ領域配置を示す図である。

25 図13 (c) は、パス1の5番目のメッセージの1番目のセルを受信した時のメモリ領域配置を示す図である。

図13 (d) は、パス1の5番目のメッセージの2番目のセルを受信した時のメモリ領域配置を示す図である。

図13 (e) は、CPUが2番目のメッセージを読み出した後のメモリ領域配置を示す図である。

図13 (f) は、バス1の5番目のメッセージの最終セルを受信した時のメモリ領域配置を示す図である。

図14 (a) は、バス1の6番目のメッセージの1番目のセルを受信した時のメモリ領域配置を示す図である。

5 図14 (b) は、バス1の6番目のメッセージの2番目のセルを受信した時のメモリ領域配置を示す図である。

図14 (c) は、バス1の6番目のメッセージの3番目のセルを受信した時のメモリ領域配置を示す図である。

10 図14 (d) は、CPUが3番目のメッセージを読み出した後のメモリ領域配置を示す図である。

図14 (e) は、バス1の6番目のメッセージの4番目のセルを受信した時のメモリ領域配置を示す図である。

図14 (f) は、バス1の6番目のメッセージの最終セルを受信した時のメモリ領域配置を示す図である。

15 図15 (a) は、1番目のメッセージのセル番号2のセルを書き込みを行なった直後の領域配置を示す図である。

図15 (b) は、1番目のメッセージが書き込まれた時の領域配置を示す図である。

20 図15 (c) は、2番目のメッセージが書き込まれた時の領域配置を示す図である。

図15 (d) は、3番目のメッセージが書き込まれた時の領域配置を示す図である。

図15 (e) は、4番目のメッセージが書き込まれた時の領域配置を示す図である。

25 図15 (f) は、5番目のメッセージが書き込まれた時の領域配置を示す図である。

図16 (a) は、読み出す前の領域配置を示す図である。

図16 (b) は、2番目のメッセージが読み出された後の領域配置を示す図である。

図16(c)は、4番目のメッセージが読み出された時の領域配置を示す図である。

図16(d)は、9番目のメッセージまで書き込まれ5番目のメッセージが読み出されようとする時の領域配置を示す図である。

5 図16(e)は、10番目のメッセージまで書き込まれた時であって、残りの空き領域に受信セルが書き込める場合の領域配置を示す図である。

図16(f)は、11番目のメッセージを受信した時の領域配置を示す図である。

10 図17は、本発明の一実施形態に係る、受信処理の動作を示すフローチャートである。

図18は、本発明の一実施形態に係る、格納フラグを用いた受信処理のフローチャートである。

図19は、本発明の一実施形態に係る、格納フラグを用いた受信処理のフローチャートである。

15 図20は、本発明の一実施形態に係る、格納フラグを用いた受信処理のフローチャートである。

図21は、ATM-PONシステムの構成を示す図である。

図22(a)は下り150Mbpsのフレーム構成を示す図である。

図22(b)は上り150Mbpsのフレーム構成を示す図である。

20 図23は、従来のOAM-IF部のブロック図である。

図24は、従来の受信セルの組立て処理のフローチャートである。

図25は、ATMセル受信からAAL5メッセージ組立てまでの流れを示す模式図である。

25 図26は、ATMセル受信時に、受信セルを廃棄する場合の流れを示す模式図である。

図27は、ONUの立ち上げシーケンスを示す図である。

発明を実施するための最良の形態

(A) 本発明の一実施形態の説明

図1は、本発明を適用される、ATM-PONシステムの構成を示す図である。この図1に示すATM-PONシステム8は、例えば電話サービスや映像サービスを提供しうるシステムであって、ユーザ端末群9と、ONU群10と、ODN11と、ATM-光加入者線終端装置12と、SDH基幹系多重装置16と、ルータ13と、DCN14と、OPS15とをそなえて構成されている。

ここで、ユーザ端末群9は、各家庭にある端末装置であり、複数のユーザ端末を有する。また、ONU群10は、例えば64台のONU#1～#64からなり、そして、各ONUはユーザ端末群9内の複数のユーザ端末に接続され、一般ユーザをATM網に収容するものである。さらに、ODN11は、ONU群10から10ATM-光加入者線終端装置12に向かう方向のATM-PONセルを時分割多重するとともに、ATM-光加入者線終端装置12からONU群10に向かう方向のATM-PONセルを分岐させるものである。なお、このATM-PONセルとは、ATMセルにPON用の識別情報が付加されたセルであり、以下の説明では、特に断らない限り、ATMセルと称する。

15 そして、ATM-光加入者線終端装置12は、ONU群10の光加入者と、SDH基幹系多重装置16側のATM網とのインターフェースを行なうとともに、伝送を制御するものである。

これにより、例えば64台のONU#1～#64は、各家庭にいる一般ユーザが操作して入力されたデータを受信し、ATM-PONセルを送出する。そして、20ODN11において、各ODUから送出されたATM-PONセルが時分割多重され、その時分割多重された複数のセルがATM-光加入者線終端装置12に入力されるようになっている。

図2は、本発明の一実施形態に係るODN11におけるATMセルの時分割多重方式の模式図である。この図2に示すODN11に対して、ONU群10にあるONU#1からパス1の情報を有するATMセルが送出され、ONU#2からパス2の情報を有するATMセルが送出され、そして、ONU#nからパスnの情報を有するATMセルが送出される。これらのATMセルは、それぞれODN11において、時分割多重されて、ATM-光加入者線終端装置12に入力されるようになっている。なお、nの値は、例えば64である。

また、SDH基幹系多重装置16は、ATMセルを用いて主信号データを伝送するものであり、ルータ13は、主信号データを伝送する際の局に相当し、さらに、DCN14は、デジタル網であり、OPS15は、ONU群10やATM-光加入者線終端装置12を遠隔的に集中管理制御するものである。

5 ここで、この図1に示す目の粗い点線は、ATM-光加入者線終端装置12とONU群10との間の制御パス（制御コネクション）であって、目の細い点線が、ATM-光加入者線終端装置12とONU群10との間の主信号データパス（主信号コネクション）である。

また、このパス（パス情報）とは、ATMセルヘッダ内のVPI, VCIで識別されたパスをいい、以下の実施形態においても、同様の意味で使用することとする。

これらにより、マルチコネクション接続が行なわれる。例えば都市AにあるONU群10からの主信号データは、主信号データパスにより、ODN11で多重され、ATM-光加入者線終端装置12を経由し、都市BにあるSDH基幹系多重装置16に伝送されるようになっている。また、ONU群10からの制御信号は、制御パスにより、ODN11で多重され、ATM-光加入者線終端装置12に入力される。

次に、図1に示すATM-光加入者線終端装置12は、ATMセルとATM-PONセルとのフォーマット変換を行なうPON-IF部12bと、PON-IF部12bから出力される主信号データをスイッチングするATM-SW12cと、ATM-SW12cから出力された主信号データをSDH基幹系多重装置16に伝送する際に、そのSDH基幹系多重装置16とATM-光加入者線終端装置12との間のインターフェースを行なうATM-IF部12dと、OPS15から送信される信号から制御コマンドを抽出するSEMF-IF部12aと、ATM-SW12cから出力される、異なるパス情報を有する複数のATMセルについて、それぞれ受信組立てを行なって、AAL5メッセージに変換するOAM-IF部20とをそなえて構成されている。また、OAM-IF部20は、ATMセル組立て部21と、外部メモリ（受信バッファ）22とを有する。

これにより、例えば64台のONU #1～#64からの複数のパスからのAT

M-PONセルは、ODN11にて、時分割多重され、そして、PON-IF部12bにて、ATM-PONセル形式からATMセル形式に変換され、ATM-SW12cにて、スイッチングされて、OAM-IF部20に入力される。ここで、OAM-IF部20では、複数の異なるパスから到来する複数のATMセルについて、それぞれ受信組立てが行なわれて、複数のAAL5メッセージとして、一旦、外部メモリ22に書き込まれる。そして、複数のAAL5メッセージは、ATM-IF部12dを介して、SDH基幹系多重装置16から送出され、また、SDH基幹系多重装置16から伝送されてきたATMセルは、ATM-IF部12dでセルの形式変換がなされて、ATM-SW12cにて、スイッチングされ10て、PON-IF部12bから出力されるようになっている。

図3は、本発明の一実施形態に係る、OAM-IF部20のブロック図である。この図3に示すOAM-IF部20は、ATMセル組立て部21と、外部メモリ22とを有する。ここで、外部メモリ22は、データを記憶するものであって、この外部メモリ22の各領域が、メモリ領域として機能しており、受信セルや、15そのセルを組立てたメッセージや、書き込みを行なうメモリ領域の大きさ、組立てたメッセージの書き込み位置、受信セル数等を管理する情報が一時的に書き込まれるようになっている。なお、書き込みと読み出しに関する詳細は、後述する。

さらに、ATMセル組立て部21は、複数の異なるパスにて到来する複数のATMセルについて、それぞれ受信組立てを行なって出力するものであって、パス20認識部21a、受信メッセージ組立て部21b、受信制御部（受信ディスクリプター部）21c、調停部21d、外部メモリ制御部21eをそなえて構成されており、メッセージ書き込み装置又はメッセージ読み出し装置として機能している。

このパス認識部21aは、AAL5メッセージを分割して送信されたセルを受信しその受信セルからパス情報を抽出するものであり、また、受信組立て処理を行なうパス情報以外の受信セルを廃棄する。

受信制御部21cは、パス認識部21aから出力されるパス情報に対応して、外部メモリ22に書き込む際の書き込み順位を付与し、書き込み領域の大きさとAAL5メッセージの書き込み位置と受信されたセル数とを管理情報として出力しうるものである。また、この受信制御部21cは、パス認識部21aから出力

されるパス情報に対応して、外部メモリ22から読み出す際の読み出し順位を付与し、読み出し領域の大きさとAAL5メッセージの読み出し位置と受信されたセル数とを管理情報として出力しうるものである。

そして、受信メッセージ組立て部21bは、受信制御部21cからの管理情報により、パス情報に対応する、書き込み領域の大きさとAAL5メッセージの書き込み位置と受信されたセル数とが互いに関連付けられたアドレステーブル23を有し、一つのAAL5メッセージについて受信セルを組立てて第2書き込み情報を作り出力しうるものである。また、受信メッセージ組立て部21bは、受信制御部21cからの管理情報により、パス情報に対応する、読み出し領域の大きさとAAL5メッセージの読み出し位置と受信されたセル数とが互いに関連付けられたアドレステーブル23を有し、一つのAAL5メッセージについて受信セルを組立てて第2読み出し情報を出力しうるものである。

また、外部メモリ制御部21eは、受信メッセージ組立て部21bからの第2書き込み情報と受信制御部21cからの管理情報とにより、外部メモリ22への書き込みを制御しうるものである。一方、読み出しについては、外部メモリ制御部21eは、受信メッセージ組立て部21bからの第2読み出し情報と受信制御部21cからの管理情報とにより、外部メモリ22への読み出しを制御しうるものである。

さらに、調停部21dは、図1において、OAM-IF部20が、SEMF-IF部12aからコマンドを受信するタイミングと、外部メモリ22にて、メッセージ組立て処理を行なうタイミングとが時間的にずれた場合に、そのずれを吸収するものである。すなわち、この調停部21dは、多重する際に生ずる位相ずれを補正するものであり、CPU制御部（図示せず）から入力される信号によって制御されている。具体的には、位相ずれを示すカウンタを有し、そのカウンタ値が例えば1000なら許容範囲内と認識し、それ以上なら、それを補正して、ゆらぎを吸収するようにしている。

これらにより、パス認識部21a、受信メッセージ組立て部21b、受信制御部21c、外部メモリ制御部21eが協働して、AAL5メッセージ読み出し用のメモリアドレス制御回路として機能し、かつ、AAL5メッセージ読み出し用

のメモリアドレス制御回路として機能している。

図4は、本発明の一実施形態に係る、外部メモリ22のメモリ領域のマッピングの一例を示す図である。この図4に示す外部メモリ22は、アドレステーブル（アドレステーブル領域）23と、メッセージBOX（メッセージBOX領域）24と、受信バッファ領域との領域を有する。なお、この外部メモリ22は、これらの領域に加えて、CPU等が作業するための領域を有するが、それらの領域に関しての説明は省略する。

このメッセージBOX24は、受信したセルについて、パス毎に組立てを行なって、メッセージを組立てるための領域である。また、アドレステーブル23は、セル及びメッセージに関する管理情報が書き込まれる領域であって、具体的には、メッセージBOX24に書き込まれたセルについて、セル番号、受信セル数、そのセルのメッセージ番号のほか、セル書き込みを行なうためのメモリ領域の大きさ、組立てられたメッセージのアドレス等の情報が書き込まれる。

これらにより、メッセージBOX24には、アドレステーブル23で設定された管理情報により、受信したセルが書き込まれて、1メッセージが組立てられるようになっている。

また、この図4に示すように、アドレステーブル23は、ルックアップ領域（Lと付した領域）と、組立作業領域1（K₁と付した領域）と、組立作業領域2（K₂と付した領域）とからなる。

このルックアップ領域Lは、ルックアップ領域-パス1（L₁と付した領域）、ルックアップ領域-パス2（L₂と付した領域）、…、ルックアップ領域-パスn（L_nと付した領域）からなり、これらのルックアップ領域L₁、L₂、…、L_nのそれぞれが各パス毎に割り当てられている。

また、詳細には、ルックアップ領域L₁は、受信メッセージ組立て開始アドレスと、受信メッセージ組立て領域サイズと、PATHEN、CRC-INH、LENGTH-INH、AALTYPEの各フラグビットが書き込まれた領域とに区切られている。このPATHENは、そのパスについての受信セルを組立てるか否かを設定する領域であり、CRC-INHは、CRCチェックの禁止について、する・しないを設定する領域であり、LENGTH-INHは、メッセージ長に

についての設定領域であり、A A L T Y Pはアダプテーションレイヤの種別を表示する領域である。なお、ルックアップ領域L₁，…，ルックアップ領域L_nについても、同様な領域構成をとっている。

そして、組立作業領域K₁は、組立作業領域1-パス1（K₁₋₁と付した領域），組立作業領域1-パス2（K₁₋₂と付した領域），…，組立作業領域1-パスn（K_{1-n}と付した領域）からなり、それぞれが各パス毎に割り当てられている。また、組立作業領域1-パス1の詳細は、受信メッセージ組立て領域サイズと、受信メッセージ組立て開始アドレスと、C R C途中演算結果が書き込まれた領域と、P A T H E N，C R C-I N H，L E N G T H-I N H，A A L T Y P，F I F O P T Y E R R，C E L L C O N Tの各フラグビットが書き込まれた領域とに区切られている。このうちP A T H E N，C R C-I N H，L E N G T H-I N H，A A L T Y Pは、上述したものと同一なので、更なる説明を省略する。また、F I F O P T Y E R Rは、パリティチェック結果にエラーがあるか否かについての情報を表示する領域であり、C E L L C O N Tは、セル数に関する制御を行なうための領域である。なお、組立作業領域K₁₋₂，…，組立作業領域K_{1-n}についても、同様な領域構成をとっている。

さらに、組立作業領域K₂は、組立作業領域2-パス1（K₂₋₁と付した領域），組立作業領域2-パス2（K₂₋₂と付した領域），…，組立作業領域2-パスn（K_{2-n}と付した領域）からなり、それぞれが各パス毎に割り当てられている。また、組立作業領域K₂₋₁の詳細は、メッセージ毎に更新される残量と、メッセージ毎に更新されるカレントアドレスと、セル毎に更新されるカレント残量と、セル毎に更新されるカレントアドレスとに区切られている。さらに、組立作業領域K₂₋₂，…，組立作業領域K_{2-n}についても、同様な領域構成をとっており、残量検査手段（後述）として機能している。

25 続いて、メッセージB O X 2 4は、メッセージ1格納領域（S₁と付した領域），メッセージ2格納領域（S₂と付した領域），…，メッセージn格納領域（S_nと付した領域）からなる。また、メッセージ1格納領域の詳細は、受信トーラ値と、受信メッセージ先頭アドレス値と、詳細エラー情報と、パス番号、受信セル数とに区切られている。なお、メッセージ2格納領域，…，メッセージ

n 格納領域についても、同様な領域構成をとっている。

次に、A T Mセルを受信したときに、受信バッファ領域が可変的に割り当てられる方法を図5、図6を用いて説明する。

図5は、受信バッファ領域が固定長毎に割り当てられる方法の説明図である。

5 この図5に示すメッセージ書き込み装置30は、異なるパス毎にメモリ領域に書き込みしうるものであって、受信メッセージ組立て部21bと、外部メモリ制御部21eと、CPU25と、外部メモリ22とをそなえて構成されている。

ここで、受信メッセージ組立て部21bは、AAL5メッセージを分割したセルであって、パス情報を有するセルを受信するものであって、上述した機能のほ

10 か、受信手段としても機能している。また、この受信メッセージ組立て部21bは、アドレステーブル23をそなえている。そして、アドレステーブル23には、パス名と、そのパスに応じた外部メモリ22内の書き込み領域のアドレス、書き込み領域の大きさ、セル数等の管理情報とが、互いに関連付けられて書き込まれており、加えて、メッセージBOX24には、上述した各メッセージについての

15 情報が書き込まれている。

さらに、外部メモリ制御部21eは、受信メッセージ組立て部21bにて受信された受信セルについてのパス情報を抽出し、パス情報に対応するAAL5メッセージの大きさよりも大きいメモリ領域を割り当てるものであり、メッセージ領域割り当て手段として機能している。そして、この外部メモリ制御部21eは、

20 図4に示したような外部メモリ22を、アドレステーブル23とメッセージBOX24と受信バッファ領域とに区切るために、アドレス表設定手段（図示せず）と、メッセージ収納領域設定手段（図示せず）とをそなえて構成されている。

このアドレス表設定手段は、受信セルについてのセル番号とメッセージ番号とによって、パス情報に対応する、書き込み領域の大きさとAAL5メッセージの

25 書き込み位置と受信されたセル数とが互いに関連付けられたアドレステーブル23として外部メモリ22に設けるものである。また、メッセージ収納領域設定手段は、受信セルをメッセージ単位で読み出しうるためのメッセージBOX24を外部メモリ22に設けるものである。従って、アドレステーブル23は、外部メモリ制御部21eにて割り当てられたメモリ領域に受信セルを書き込む際に、受

信セルに書き込み順位を付与して書き込む書き込み順位付与手段として機能していることになる。

この書き込み順位とは、具体的には、書き込む際の優先順位であり、アドレステーブル 23 は、受信セルに書き込み順位を受信セルが受信処理された順番に応じて付与する。すなわち、セルが到着した順に応じて付与される。なお、この書き込み順位については、その他の付与の方法があるが、それについては、後述する。

加えて、CPU 25 は、アドレステーブル 23 にて付与された書き込み順位に従って、受信セルをメモリ領域に書き込むものであり、格納手段として機能している。

これにより、受信メッセージ組立て部 21b は、図 5 に示すようなパス 1, パス 2 の 2 種類の ATM セルを受信すると、受信メッセージ組立て部 21b は、このアドレステーブル 23 内に書き込まれている情報を用いて、パス 1, パス 2 に応じて、外部メモリ 22 内に、それぞれのパス毎に領域を割り当てるようになっている。例えば、アドレステーブル 23 には、パス 1 に対しては、書き込み領域のアドレス、書き込み領域の大きさ (16 Kbyte), セル数 (10 個) と記され、パス 2 に対しては、書き込み領域のアドレス、書き込み領域の大きさ (16 Kbyte), セル数 (4 個) と記され、パス 3 に対しては、書き込み領域のアドレス、書き込み領域の大きさ (16 Kbyte), セル数 (0 個) と記されるのである。なお、ここで、未だ来ていないパス 3 のための領域が確保されている。

図 6 は、受信バッファ領域が可変的に割り当てられる方法の説明図である。この図 6 に示す受信メッセージ組立て部 21b は、パス 1, パス 2 の 2 種類の ATM セルを受信すると、パス 1, パス 2 に応じて、外部メモリ 22 内に、可変的に書き込み領域を割り当てるようになっている。例えば、アドレステーブル 23 には、パス 1 に対しては、書き込み領域のアドレス、書き込み領域の大きさ (48 Kbyte), セル数 (10 個) と記され、パス 2 に対しては、書き込み領域のアドレス、書き込み領域の大きさ (16 Kbyte), セル数 (4 個) と記され、パス 3 に対しては、書き込み領域のアドレス、書き込み領域の大きさ (0 Kbyte)

te), セル数(0個)と記されるのである。ここでも、メッセージBOX24と、未だ来ていないパス3のための領域とが確保されている。

このように、メモリ領域の大きさを各メッセージに応じて、可変的に割り当てることができるので、メモリ領域を有効に使用することができる。

5 次に、これらアドレステーブル23とメッセージBOX24とCPUとを用いた書き込み方法について、図7、図8を用いて説明する。

図7は、本発明の一実施形態に係る、AAL5メッセージの書き込み方法を説明するための模式図である。この図7に示すCPU25は、受信メッセージ組立て部21bと外部メモリ22とに接続されている。また、外部メモリ22は、その受信バッファ領域に、複数のメッセージを格納しており、受信メッセージ組立て部21bは、アドレステーブル23を有する。

そして、外部メモリ22から、例えばハードウェア割込のような受信メッセージ読み出し要求が出されると、CPU25は、読み出すべきメッセージが書き込まれているメモリ領域の先頭アドレスを、アドレステーブル23から読み出す。

15 続いて、ペイロードデータが、受信バッファ領域(図4参照)から読み出される。そして、そのメッセージについて、CPU25は、読み出しが完了したことを表示するための読み出し処理ビットを、処理済に設定するのである。なお、この読み出し処理ビットに関しては、後述する。

図8は、本発明の一実施形態に係る、AAL5メッセージの第2の書き込み方法を説明するための模式図である。図7と異なり、この図8に示すアドレステーブル23が、受信メッセージ組立て部21b内ではなく、外部メモリ22内に設けられている。

そして、CPU25は、受信メッセージ組立て部21bと外部メモリ22とに接続されている。また、外部メモリ22は、アドレステーブル23とメッセージBOX24と受信バッファ領域とを有し、複数のメッセージを格納している。

これにより、外部メモリ22から、例えばハードウェア割込のような受信メッセージ読み出し要求が出されると、CPU25において、読み出すべきメッセージが書き込まれているメモリ領域の先頭アドレスが、アドレステーブル23から読み出され、受信バッファ領域からペイロードデータが読み出される。そして、

そのメッセージについて、CPU25は、読み出しが完了したことを表示するための読み出し処理ビットを、処理済に設定する。

5 このように、受信メッセージ組立て部21bは、読み出されたメッセージの領域を、空き領域と認識できるため、次のメッセージが受信されたときに、受信セルをその空き領域に、順次格納していくことができる。すなわち、限られたメモリの領域内を有効に、活用することができるものである。

次に、図9(a)～(d)を用いて、書き込み順位を用いた読み出し方法を説明する。なお、ここでは、到着順に書き込み順位が付与されるようになっている。

10 図9(a)は、受信セルが書き込まれた状態のメモリ領域の模式図である。この図9(a)に示す外部メモリ22の領域は、受信バッファ領域(図4参照)に相当し、例えばアドレスAA, BB, CCのように区切られている。なお、図9(a)～図9(d)においても、同様に、受信バッファ領域を表している。

15 そして、アドレスAAからアドレスBBの領域は、バス領域1として割り当てられており、アドレスBBからアドレスCCの領域は、バス領域2として割り当てられている。さらに、このバス領域1には、メッセージ(1-1), メッセージ(1-2), メッセージ(1-3)の3種類のセルが書き込まれるとともに、空き領域が設けられている。同様に、バス領域2には、メッセージ(2-1)のセルが書き込まれるとともに、空き領域が設けられている。

20 図9(b)は、CPU25が1つ目のセルを読み出した後の状態のメモリ領域の模式図である。図9(a)に示すメッセージ(1-1)が読み出されて、この図9(b)に示すように、そのメッセージ(1-1)が書き込まれていた領域が、空き領域となる。

25 図9(c)は、CPU25が2つ目のセルを読み出した後の状態のメモリ領域の模式図である。メッセージ(1-2)が読み出された結果、そのメッセージ(1-2)が書き込まれていた領域は、空き領域となる。

図9(d)は、CPU25が3つ目のセルを読み出した後の状態のメモリ領域の模式図である。メッセージ(1-3)が読み出された結果、そのメッセージ(1-3)が書き込まれていた領域は、空き領域となり、アドレスAAからアドレスBBの領域は、空き領域となっている。

次に、図10(a)～(d)を用いて、格納フラグで書き込み順位を付与した場合の読み出し方法を説明する。

図10(a)は、受信セルが書き込まれた状態のメモリ領域の模式図である。この図10(a)が、図9(a)～(d)と異なる箇所は、受信バッファ領域の、
5 受信セルに、(K)と付された格納フラグ(フラグ領域)が付与されている。そして、CPU25は、この格納フラグの値から、既に読み出しが行なわれたセルであるのか、または、未だ読み出しが行なわれていないセルであるのかを判定するのである。そして、バス領域1には、メッセージ(1-1)～メッセージ(1-5)の5種類のメッセージが書き込まれるとともに、空き領域が設けられている。
10 また、バス領域2には、メッセージ(2-1)のメッセージが書き込まれるとともに、空き領域が設けられている。

図10(b)は、CPU25が2つ目のセルを読み出した後の状態のメモリ領域の模式図である。CPU25は、図10(a)に示すメッセージ(1-2)の格納フラグを見て、未読み出しと判定して、読み出しを行ない、そのメッセージ
15 (1-2)が書き込まれていた領域が、空き領域となる。

図10(c)は、CPU25が4つ目のセルを読み出した後の状態のメモリ領域の模式図である。CPU25は、図10(a)に示すメッセージ(1-4)の格納フラグを見て、未読み出しと判定して、読み出しを行ない、そのメッセージ
(1-4)が書き込まれていた領域は、空き領域となる。

20 図10(d)は、読み出し処理後のメモリ領域の模式図である。読み出し処理がされた領域は、空き領域となっている。

このように、CPU25が、格納フラグを検査して、読み出し済であるか否かを判定できるので、複数のバスから到来したセルについて、個別に処理ができるようになるのである。なお、この格納フラグの書き込みと読み出しのさらに詳細
25 な方法は、図15(a)～(f)と、図16(a)～(f)とを用いて後述する。

次に、図11(a)～(f)、図12(a)～(f)、図13(a)～(f)、
図14(a)～(f)、図15(a)～(f)を用いて、メモリ領域の書き込み、読み出し及び残量検査を行なう方法を説明する。

図11(a)は、バス1の1番目のメッセージの1番目のセルを受信した時の

メモリ領域配置を示す図である。ここで、これらのメモリ領域は、図4に示す受信バッファ領域に相当する。なお、図15までの各図においても、同様である。さらに、これらのメモリ領域では、1パス分の受信バッファ領域は480バイト(10セル分)であり、また、複数のパスからのATMセルについては、パス1
5 とは別のメモリ領域(アドレス01E0以降のメモリ領域)に割り当てられて、複数のメッセージを格納できるようになっている。

そして、この図11(a)において、以下の処理が行なわれる。まず、組立作業領域K₁(図4参照)から、受信バッファ先頭アドレス=(0000)Hexと、受信バッファ領域サイズ=(0000)Hexと、セルカウント数=(0)Decとが読み込まれて、先
10 頭セルか否かの判定がなされる。なお、ここで、Hexは16進数を、Decは10進数をそれぞれ示す。

この場合は、先頭セルであるので先頭セル処理が行なわれ、ルックアップ領域(図4参照)が読み込まれ、受信バッファ先頭アドレス=(0000)Hex、受信バッファ領域サイズ=(01E0)Hexが読み出される。

15 そして、組立作業領域K₁が書き込まれ、受信バッファ先頭アドレス=(0000)Hex、受信バッファ領域サイズ=(01E0)Hex、セルカウント数=(1)Decとなる。

続いて、組立作業領域K₂が読み込まれて、残量検査が行なわれ、残量(メッセージ単位)=(0)Dec、バッファアドレス(メッセージ単位)=(0000)Hex、残量(セル単位)=(0)Dec、バッファアドレス(セル単位)=(0000)Hex、残量エラー
20 フラグ=(0)Binが得られる。ここで、Binは2進数を示す。

さらに、組立作業領域K₂が書き込まれて、残量検査が行なわれる。すなわち、残量(メッセージ単位)=(480)Dec、バッファアドレス(メッセージ単位)=(0000)Hex、残量(セル単位)=(432)Dec、バッファアドレス(セル単位)=(0030)Hex、残量エラーフラグ=(0)Binが得られるのである。

25 これにより、アドレステーブル23が、先頭レジスタの表示とメッセージ収納保持部の表示とを検査することにより、受信セルを書き込むための空き領域の大きさを検査する残量検査手段(組立作業領域K₂₋₁、K₂₋₂、…、K_{2-n})をそなえていることになる。また、従って、アドレステーブル23が、フラグ情報を検査することにより受信セルを書き込むための空き領域の大きさを検査する残量

検査手段（組立作業領域 K_{2-1} , K_{2-2} , …, K_{2-n} ）をそなえていることになる。なお、これらの先頭レジスタはスタートレジスタ $40a$, $40b$ として、また、メッセージ収納保持部は、メッセージ BOX レジスタ $41a$, $41b$, $41c$ として、後述する。

- 5 さらに、メッセージ読み出しの読み出し方法は、複数のセルからなるメッセージのそれぞれのセルであってメモリ領域に書き込まれたものを読み出すものであり、格納フラグがないときは、セルが受信処理された順番に応じて付与された書き込み順位に基づいて、メッセージが読み出される（第1ステップ）。一方、格納フラグが設定されているときは、セルについて読み出し処理が行なわれたか否
10 かを表示するフラグ情報をメモリ領域に書き込むことで付与された書き込み順位に基づいて、メッセージが読み出される（第2ステップ）。

さらに、メモリ領域内で書き込まれた受信セルのメッセージ番号と書き込み位置情報を管理するメッセージ収納保持部の表示により付与された書き込み順位に基づいて、メッセージが読み出される（第3ステップ）。そして、メモリ領域
15 の設定により、第1ステップ、第2ステップ、第3ステップのうちいずれか一のステップが選択的に実行されるようになっている。

続けて、図11(b)は、バス1の1番目のメッセージの2番目のセルを受信した時のメモリ領域配置を示す図である。同様にして、バス1に関しての処理が行なわれる。まず、組立作業領域 K_1 から、受信バッファ先頭アドレス=(0000)Hex, 受信バッファ領域サイズ=(01E0)Hex, セルカウント数=(1)Dec が読み込まれる。先頭セルでないので先頭セル処理は省略される。

次に、組立作業領域 K_1 の書き込みがなされ、受信バッファ先頭アドレス=(0000)Hex, 受信バッファ領域サイズ=(01E0)Hex, セルカウント数=(2)Dec となる。

続いて、組立作業領域 K_2 の読み込みがされて、残量検査が行なわれる。すな
25 わち、残量（メッセージ単位）=(480)Dec, バッファアドレス（メッセージ単位）=(0000)Hex, 残量（セル単位）=(432)Dec, バッファアドレス（セル単位）=(0030)Hex, 残量エラーフラグ=(0)Binとなる。

さらに、組立作業領域 K_2 の書き込みが行なわれて、残量検査が行なわれる。すなわち、残量（メッセージ単位）=(480)Dec, バッファアドレス（メッセージ

単位) =(0000)Hex, 残量 (セル単位) =(384)Dec, バッファアドレス (セル単位) =(0060)Hex, 残量エラーフラグ=(0)Binとなる。

5 このように、一つのセルが受信されたときに、そのセルに関して、上記の複数の管理情報を用いて、セル番号、メッセージ番号、セルの受信個数等が管理される。従って、複数のパスから到来したセルを受信したときに、各セルに対して、個別に管理を行なえるのである。

10 また、このように、複数パスのA A L 5メッセージを転送することが可能となるために、トータルでの転送処理能力が向上し、データ転送時間の短縮が実現できるようになる。さらに、受信バッファメモリへのセル書き込みを動的にするこ
15 とで、メモリ領域を有効に活用でき、P C Bの部品実装面積が削減され、ひいては、P C Bとしてのコストダウンが促進される。

15 加えて、受信バッファ領域のスペック、容量に拡張性をもたせることができるようにになり、ネットワークのトラフィックに準じた処理能力を持つ、通信装置システムを構築でき、かつ、パス単位でのマルチコネクション接続ができるのである。

図11(c)は、パス1の1番目のメッセージの最終セルを受信した時のメモリ領域配置を示す図である。

まず、組立作業領域K₁から、受信バッファ先頭アドレス=(0000)Hex, 受信バ
10 ッファ領域サイズ=(01E0)Hex, セルカウント数=(2)Decが読み込まれる。

20 次に、組立作業領域K₁の書き込みがなされ、受信バッファ先頭アドレス=(0000)Hex, 受信バッファ領域サイズ=(01E0)Hexのまま、セルカウント数=(0)Decに更新する。

25 続いて、組立作業領域K₂の読み込みがされて、残量検査が行なわれる。すな
わち、残量 (メッセージ単位) =(480)Dec, バッファアドレス (メッセージ単位) =(0000)Hex, 残量 (セル単位) =(384)Dec, バッファアドレス (セル単位) =(0060)Hex, 残量エラーフラグ=(0)Binとなる。

さらに、組立作業領域K₂の書き込みが行なわれて、残量検査が行なわれる。
すなわち、残量 (メッセージ単位) =(336)Dec, バッファアドレス (メッセージ単位) =(0090)Hex, 残量 (セル単位) =(336)Dec, バッファアドレス (セル単

位) =(0090)Hex, 残量エラーフラグ=(0)Binとなる。

そして、メッセージBOX24内の書き込み管理情報が書き込まれる。すなわち、受信データ長=(144)Dec, バッファ先頭アドレス=(0000)Hex, セルカウント数=(3)Dec が書き込まれる。

- 5 このように、最終セルが来て処理が行なわれた結果が、管理されるので、複数のパスから到来したセルを処理できるのである。

図11 (d) は、パス1の2番目のメッセージの1番目のセルを受信した時のメモリ領域配置を示す図である。まず、組立作業領域K₁から、受信バッファ先頭アドレス=(0000)Hex, 受信バッファ領域サイズ=(01E0)Hex, セルカウント数=10 (0)Decが読み込まれる。

次に、先頭セル処理が行なわれる。すなわち、ルックアップ領域が読み込まれ、受信バッファ先頭アドレス=(0000)Hex, 受信バッファ領域サイズ=(01E0)Hexとなる。

- そして、組立作業領域K₁が書き込まれ、受信バッファ先頭アドレス=(0000)Hex, 受信バッファ領域サイズ=(01E0)Hex, セルカウント数=(1)Decとなる。

続いて、組立作業領域K₁が読み込まれて、残量(メッセージ単位)=(336)Dec, バッファアドレス(メッセージ単位)=(0090)Hex, 残量(セル単位)=(336)Dec, バッファアドレス(セル単位)=(0090)Hex, 残量エラーフラグ=(0)Binをうる。

- 20 さらに、組立作業領域K₁が書き込まれ、残量(メッセージ単位)=(336)Dec, バッファアドレス(メッセージ単位)=(0090)Hex, 残量(セル単位)=(288)Dec, バッファアドレス(セル単位)=(00C0)Hex, 残量エラーフラグ=(0)Binとなる。

図11 (e) は、パス1の2番目のメッセージの2番目のセルを受信した時のメモリ領域配置を示す図であり、図11 (f) は、パス1の2番目のメッセージの3番目のセルを受信した時のメモリ領域配置を示す図である。同様にして、パス1に関しての処理が行なわれる。

すなわち、図11 (e) で、組立作業領域K₁から、受信バッファ先頭アドレス=(0000)Hex, 受信バッファ領域サイズ=(01E0)Hex, セルカウント数=(1)Dec が読み込まれ、次に、組立作業領域K₁が、受信バッファ先頭アドレス=(0000)Hex,

受信バッファ領域サイズ=(01E0)Hex, セルカウント数=(2)Dec と書き込まれる。続いて、組立作業領域K₂ が、残量（メッセージ単位）=(336)Dec, バッファアドレス（メッセージ単位）=(0090)Hex, 残量（セル単位）=(288)Dec, バッファアドレス（セル単位）=(00C0)Hex, 残量エラーフラグ=(0)Binと読み込まれる。

- 5 さらに、組立作業領域K₂ は、残量（メッセージ単位）=(336)Dec, バッファアドレス（メッセージ単位）=(0090)Hex, 残量（セル単位）=(240)Dec, バッファアドレス（セル単位）=(00F0)Hex, 残量エラーフラグ=(0)Binと書き込まれる。

同様にして、図11 (f) でも、パス1に関しての処理が行なわれる。すなわち、組立作業領域K₁ から、受信バッファ先頭アドレス=(0000)Hex, 受信バッファ領域サイズ=(01E0)Hex, セルカウント数=(3)Dec が読み込まれ、次に、組立作業領域K₂ が、受信バッファ先頭アドレス=(0000)Hex, 受信バッファ領域サイズ=(01E0)Hex, セルカウント数=(3)Dec と書き込まれる。続いて、組立作業領域K₂ が、残量（メッセージ単位）=(336)Dec, バッファアドレス（メッセージ単位）=(0090)Hex, 残量（セル単位）=(240)Dec, バッファアドレス（セル単位）=(00F0)Hex, 残量エラーフラグ=(0)Binと読み込まれる。さらに、組立作業領域K₂ は、残量（メッセージ単位）=(336)Dec, バッファアドレス（メッセージ単位）=(0090)Hex, 残量（セル単位）=(192)Dec, バッファアドレス（セル単位）=(0120)Hex, 残量エラーフラグ=(0)Binと書き込まれる。

また、図12 (a) は、パス1の2番目のメッセージの4番目のセルを受信した時のメモリ領域配置を示す図であり、同様の処理が行なわれる。すなわち、組立作業領域K₁ から、受信バッファ先頭アドレス=(0000)Hex, 受信バッファ領域サイズ=(01E0)Hex, セルカウント数=(3)Dec が読み込まれ、次に、組立作業領域K₁ が、受信バッファ先頭アドレス=(0000)Hex, 受信バッファ領域サイズ=(01E0)Hex, セルカウント数=(4)Dec と書き込まれる。続いて、組立作業領域K₂ が、残量（メッセージ単位）=(336)Dec, バッファアドレス（メッセージ単位）=(0090)Hex, 残量（セル単位）=(192)Dec, バッファアドレス（セル単位）=(0120)Hex, 残量エラーフラグ=(0)Binと読み込まれる。さらに、組立作業領域K₂ は、残量（メッセージ単位）=(336)Dec, バッファアドレス（メッセージ単位）=(0090)Hex, 残量（セル単位）=(144)Dec, バッファアドレス（セル単位）=(0150)Hex

ex, 残量エラーフラグ=(0)Binと書き込まれる。

図12 (b) は、パス1の2番目のメッセージの5番目のセルを受信した時のメモリ領域配置を示す図であり、同様の処理が行なわれる。すなわち、組立作業領域K₁ から、受信バッファ先頭アドレス=(0000)Hex, 受信バッファ領域サイズ=(01E0)Hex, セルカウント数=(4)Dec が読み込まれ、次に、組立作業領域K₁ が、受信バッファ先頭アドレス=(0000)Hex, 受信バッファ領域サイズ=(01E0)Hex, セルカウント数=(5)Dec と書き込まれる。続いて、組立作業領域K₂ が、残量(メッセージ単位)=(336)Dec, バッファアドレス(メッセージ単位)=(0090)Hex, 残量(セル単位)=(144)Dec, バッファアドレス(セル単位)=(0150)Hex, 残量エラーフラグ=(0)Binと読み込まれる。さらに、組立作業領域K₂ は、残量(メッセージ単位)=(336)Dec, バッファアドレス(メッセージ単位)=(0090)Hex, 残量(セル単位)=(96)Dec, バッファアドレス(セル単位)=(0180)Hex, 残量エラーフラグ=(0)Binと書き込まれる。

図12 (c) は、パス1の2番目のメッセージの最終セルを受信した時のメモリ領域配置を示す図であり、同様の処理が行なわれる。すなわち、組立作業領域K₁ から、受信バッファ先頭アドレス=(0000)Hex, 受信バッファ領域サイズ=(01E0)Hex, セルカウント数=(5)Dec が読み込まれ、次に、組立作業領域K₁ が、受信バッファ先頭アドレス=(0000)Hex, 受信バッファ領域サイズ=(01E0)Hex, セルカウント数=(0)Dec と書き込まれる。ここで、セルカウント数が0リセットされている。続いて、組立作業領域K₂ が、残量(メッセージ単位)=(336)Dec, バッファアドレス(メッセージ単位)=(0090)Hex, 残量(セル単位)=(96)Dec, バッファアドレス(セル単位)=(0180)Hex, 残量エラーフラグ=(0)Binと読み込まれる。さらに、組立作業領域K₂ は、残量(メッセージ単位)=(48)Dec, バッファアドレス(メッセージ単位)=(01B0)Hex, 残量(セル単位)=(48)Dec, バッファアドレス(セル単位)=(01B0)Hex, 残量エラーフラグ=(0)Binと書き込まれる。

この図12 (c) の処理が終了した時点での、メッセージBOX24内の書き込み管理情報は、次のようになる。すなわち、受信データ長=(288)Dec, バッファ先頭アドレス=(0090)Hex, セルカウント数=(6)Dec となる。また、図12 (

d) は、パス 1 の 3 番目のメッセージの 1 番目のセルを受信した時のメモリ領域配置を示す図であり、同様の処理が行なわれる。まず、組立作業領域 K_1 から、受信バッファ先頭アドレス=(0000)Hex, 受信バッファ領域サイズ=(01E0)Hex, セルカウント数=(0)Dec が読み込まれ、そして、先頭セル処理が行なわれて、ルックアップ領域から受信バッファ先頭アドレス=(0000)Hex, 受信バッファ領域サイズ=(01E0)Hex と読み込まれる。次に、組立作業領域 K_1 が、受信バッファ先頭アドレス=(0000)Hex, 受信バッファ領域サイズ=(01E0)Hex, セルカウント数=(1)Dec と書き込まれる。続いて、組立作業領域 K_1 が、残量 (メッセージ単位) =(48)Dec, バッファアドレス (メッセージ単位) =(01B0)Hex, 残量 (セル単位) =(48)Dec, バッファアドレス (セル単位) =(01B0)Hex, 残量エラーフラグ=(0)Bin と読み込まれる。さらに、組立作業領域 K_1 は、残量 (メッセージ単位) =(48)Dec, バッファアドレス (メッセージ単位) =(01B0)Hex, 残量 (セル単位) =(0)Dec, バッファアドレス (セル単位) =(0000)Hex, 残量エラーフラグ=(0)Bin と書き込まれる。

15 次に、残量エラーが発生したときの処理方法を説明する。図 12 (e) は、パス 1 の 3 番目のメッセージの 2 番目のセルを受信した時のメモリ領域配置を示す図であって、残量エラーが発生した場合のメモリ領域配置を示している。まず、組立作業領域 K_1 から、受信バッファ先頭アドレス=(0000)Hex, 受信バッファ領域サイズ=(01E0)Hex, セルカウント数=(1)Dec が読み込まれる。

20 次に、組立作業領域 K_1 が書き込まれ、受信バッファ先頭アドレス=(0000)Hex, 受信バッファ領域サイズ=(01E0)Hex, セルカウント数=(2)Dec となる。

続いて、組立作業領域 K_1 が読み込まれて、残量 (メッセージ単位) =(48)Dec, バッファアドレス (メッセージ単位) =(01B0)Hex, 残量 (セル単位) =(0)Dec, バッファアドレス (セル単位) =(0000)Hex, 残量エラーフラグ=(0)Bin となり、

25 残量 (セル単位) が 0 となる。

さらに、組立作業領域 K_1 が書き込まれて、残量 (メッセージ単位) =(48)Dec, バッファアドレス (メッセージ単位) =(01B0)Hex, 残量 (セル単位) =(0)Dec, バッファアドレス (セル単位) =(0000)Hex, 残量エラーフラグ=(1)Bin となる。

ここで、受信セルの書き込みは、行なわれず、また、残量エラーフラグが、1

となって、その旨が通知される。

図12 (f) は、パス1の3番目のメッセージの最終セルを受信した時のメモリ領域配置を示す図であって、残量エラーが発生した場合のメモリ領域配置を示している。そして、同様の処理が行なわれる。まず、組立作業領域K₁から、受
5 信バッファ先頭アドレス=(0000)Hex, 受信バッファ領域サイズ=(01E0)Hex, セルカウント数=(2)Dec が読み込まれ、次に、組立作業領域K₁に、受信バッファ先頭アドレス=(0000)Hex, 受信バッファ領域サイズ=(01E0)Hex, セルカウント数=(0)Decと書き込まれる。続いて、組立作業領域K₂から、残量(メッセージ単位)=(48)Dec, バッファアドレス(メッセージ単位)=(01B0)Hex, 残量(セル
10 単位)=(0)Dec, バッファアドレス(セル単位)=(0000)Hex, 残量エラーフラグ=(1)Binと読み込まれる。さらに、組立作業領域K₂は、残量(メッセージ単位)=(48)Dec, バッファアドレス(メッセージ単位)=(01B0)Hex, 残量(セル単位)=(48)Dec, バッファアドレス(セル単位)=(01B0)Hex, 残量エラーフラグ=(0)Binと書き込まれる。また、メッセージBOX24内の書き込み管理情報は、
15 受信データ長=(0)Dec, バッファ先頭アドレス=(0000)Hex, セルカウント数=(0)Dec, 残量エラーフラグ=(1)Binとなる。

図12 (e) と異なるのは、セルカウント数=(2)Dec となる点である。また、組立作業領域K₂が読み込まれたときに、残量エラーフラグが、1として読み出される。そして、残量(セル単位)が(48)Decに書き込まれる。

20 この場合は、メッセージBOX24内の書き込み管理情報が行なわれない。すなわち、受信データ長=(0)Dec, バッファ先頭アドレス=(0000)Hex, セルカウント数=(0)Decとともに、残量エラーフラグ1が書き込まれる。また、受信セルの書き込みは行なわれない。

一方、メッセージ長が1セルの場合は、正常に書き込まれる。図13 (a) は、
25 パス1の4番目のメッセージの最終セルを受信した時のメモリ領域配置を示す図である。この場合は、最後の空き領域に、1セルが書き込まれるので、以下の処理が行なわれる。

まず、組立作業領域K₁から、受信バッファ先頭アドレス=(0000)Hex, 受信バッファ領域サイズ=(01E0)Hex, セルカウント数=(0)Decが読み込まれる。

次に、先頭セル処理が行なわれる。すなわち、ルックアップ領域が読み込まれ、受信バッファ先頭アドレス=(0000)Hex, 受信バッファ領域サイズ=(01E0)Hexとなる。

そして、組立作業領域K₁の書き込みがなされ、受信バッファ先頭アドレス=5 (0000)Hex, 受信バッファ領域サイズ=(01E0)Hexのまま、セルカウント数=(0)Decに更新する。

続いて、組立作業領域K₂の読み込みがされて、残量（メッセージ単位）=(48)Dec, バッファアドレス（メッセージ単位）=(01B0)Hex, 残量（セル単位）=(48)Dec, バッファアドレス（セル単位）=(01B0)Hex, 残量エラーフラグ=(0)Bin 10 nとなる。

さらに、組立作業領域K₂の書き込みが行なわれて、残量検査が行なわれる。すなわち、残量（メッセージ単位）=(0)Dec, バッファアドレス（メッセージ単位）=(0000)Hex, 残量（セル単位）=(0)Dec, バッファアドレス（セル単位）=(0000)Hex, 残量エラーフラグ=(0)Binとなる。

15 そして、メッセージBOX24内の書き込み管理情報が書き込まれる。すなわち、受信データ長=(48)Dec, バッファ先頭アドレス=(01B0)Hex, セルカウント数=(1)Decが書き込まれる。

ここで、CPU25に対して、メッセージの読み出し通知が行なわれる。図1 3 (b)は、CPU25に1番目のメッセージの読み出し通知がなされる時のメ 20 モリ領域配置を示す図である。この場合は、メッセージBOX24内の書き込み管理情報が書き込まれる。すなわち、受信データ長=(144)Dec, バッファ先頭アドレ 25 ス=(0000)Hex, セルカウント数=(3)Decが書き込まれる。

この状態で、5番目のメッセージの第1セルが受信された時の処理は、次のようになる。図13(c)は、バス1の5番目のメッセージの1番目のセルを受信した時のメモリ領域配置を示す図であって、残量エラーが発生した場合のメモリ領域配置を示している。この場合は、書き込み領域がないことを示す、残量エラーフラグが、(1)Binと書き込まれる。すなわち、同様の処理が行なわれて、まず、組立作業領域K₁から、受信バッファ先頭アドレス=(0000)Hex, 受信バッファ領域サイズ=(01E0)Hex, セルカウント数=(0)Decが読み込まれ、そして、先頭

セル処理が行なわれて、ルックアップ領域から受信バッファ先頭アドレス=(0000)Hex, 受信バッファ領域サイズ=(01E0)Hexと読み込まれる。次に、組立作業領域K₁が、受信バッファ先頭アドレス=(0000)Hex, 受信バッファ領域サイズ=(01E0)Hex, セルカウント数=(1)Decと書き込まれる。続いて、組立作業領域K₂が、
5 残量(メッセージ単位)=(0)Dec, バッファアドレス(メッセージ単位)=(0000)Hex, 残量(セル単位)=(0)Dec, バッファアドレス(セル単位)=(0000)Hex, 残量エラーフラグ=(0)Binと読み込まれる。さらに、組立作業領域K₂は、残量(メッセージ単位)=(0)Dec, バッファアドレス(メッセージ単位)=(0000)Hex, 残量(セル単位)=(0)Dec, バッファアドレス(セル単位)=(0000)Hex, 残量エ
10 ラーフラグ=(1)Binと書き込まれる。

図13(d)は、パス1の5番目のメッセージの2番目のセルを受信した時のメモリ領域配置を示す図であって、残量エラーが発生した場合のメモリ領域配置を示している。この場合に、図13(c)と異なる点は、セルカウント数が(1)Decとなり、また、組立作業領域K₂の読み出し処理のときに、残量エラーフラグが、(1)Binと読み出される。同様に、組立作業領域K₂の書き込み処理のときにも、残量エラーフラグが、(1)Binと書き込まれる。すなわち、同様の処理が行なわれて、まず、組立作業領域K₁から、受信バッファ先頭アドレス=(0000)Hex, 受信バッファ領域サイズ=(01E0)Hex, セルカウント数=(1)Decが読み込まれ、そして、組立作業領域K₁が、受信バッファ先頭アドレス=(0000)Hex, 受
20 信バッファ領域サイズ=(01E0)Hex, セルカウント数=(2)Decと書き込まれる。続いて、組立作業領域K₂が、残量(メッセージ単位)=(0)Dec, バッファアドレス(メッセージ単位)=(0000)Hex, 残量(セル単位)=(0)Dec, バッファアドレス(セル単位)=(0000)Hex, 残量エラーフラグ=(1)Binと読み込まれる。さらに、組立作業領域K₂は、残量(メッセージ単位)=(0)Dec, バッファアドレス(メッセージ単位)=(0000)Hex, 残量(セル単位)=(0)Dec, バッファアドレス(セル単位)=(0000)Hex, 残量エラーフラグ=(1)Binと書き込まれる。
25

図13(e)は、CPU25が2番目のメッセージを読み出した後のメモリ領域配置を示す図である。この図13(e)に示す外部メモリ22の先頭の3領域は、開放されている。

そして、メッセージBOX24内の書き込み管理情報が書き込まれ、受信データ長=(288)Dec, バッファ先頭アドレス=(0090)Hex, セルカウント数=(6)Dec が書き込まれる。

続いて、組立作業領域K₂の読み込みがされて、残量(メッセージ単位)=(0)5 Dec, バッファアドレス(メッセージ単位)=(0000)Hex, 残量(セル単位)=(0)Dec, バッファアドレス(セル単位)=(0000)Hex, 残量エラーフラグ=(1)Binとなる。

さらに、組立作業領域K₂の書き込みが行なわれて、残量検査が行なわれる。すなわち、残量(メッセージ単位)=(144)Dec, バッファアドレス(メッセージ単位)=(0000)Hex, 残量(セル単位)=(144)Dec, バッファアドレス(セル単位)=(0000)Hex, 残量エラーフラグ=(1)Binとなる。

図13(f)は、パス1の5番目のメッセージの最終セルを受信した時のメモリ領域配置を示す図であって、残量エラーが発生した場合のメモリ領域配置を示している。3番目／3個のセルであることを認識し、セルカウント数が(0)Dec 15 にリセットされる。すなわち、組立作業領域K₁から、受信バッファ先頭アドレス=(0000)Hex, 受信バッファ領域サイズ=(01E0)Hex, セルカウント数=(2)Dec が読み込まれる。次に、組立作業領域K₁に、受信バッファ先頭アドレス=(0000)Hex, 受信バッファ領域サイズ=(01E0)Hex, セルカウント数=(0)Dec と書き込まれ、続いて、組立作業領域K₂から、残量(メッセージ単位)=(144)Dec, バッファアドレス(メッセージ単位)=(0000)Hex, 残量(セル単位)=(144)Dec, 20 バッファアドレス(セル単位)=(0000)Hexと読み込まれる。また、図13(d)と同様に、組立作業領域K₂の読み出し処理のときに、残量エラーフラグが、(1)Binと読み出される。さらに、組立作業領域K₂は、残量(メッセージ単位)=(144)Dec, バッファアドレス(メッセージ単位)=(0000)Hex, 残量(セル単位)=(144)Dec, 25 バッファアドレス(セル単位)=(0000)Hexと書き込まれ、また、組立作業領域K₂の書き込み処理のときには、受信セルを書き込む空き領域があるので、残量エラーフラグが、(0)Binと書き込まれる。

そして、メッセージBOX24内の書き込み管理情報が書き込まれ、受信データ長=(0)Dec, バッファ先頭アドレス=(0000)Hex, セルカウント数=(0)Dec とと

もに、残量エラーフラグが (1)Bin と書き込まれる。

図 1 4 (a) は、パス 1 の 6 番目のメッセージの 1 番目のセルを受信した時のメモリ領域配置を示す図である。まず、組立作業領域 K_1 から、受信バッファ先頭アドレス=(0000)Hex, 受信バッファ領域サイズ=(01E0)Hex, セルカウント数=5 (0)Dec が読み込まれる。次に、先頭セル処理が行なわれ、ルックアップ領域が読み込まれ、受信バッファ先頭アドレス=(0000)Hex, 受信バッファ領域サイズ=(01E0)Hex が得られる。

そして、組立作業領域 K_1 が書き込まれ、受信バッファ先頭アドレス=(0000)Hex, 受信バッファ領域サイズ=(01E0)Hex, セルカウント数=(1)Dec となる。

10 続いて、組立作業領域 K_2 が読み込まれて、残量 (メッセージ単位) =(144)Dec, バッファアドレス (メッセージ単位) =(0000)Hex, 残量 (セル単位) =(144)Dec, バッファアドレス (セル単位) =(0000)Hex, 残量エラーフラグ=(0)Bin をうる。

15 さらに、組立作業領域 K_2 が書き込まれて、残量 (メッセージ単位) =(144)Dec, バッファアドレス (メッセージ単位) =(0000)Hex, 残量 (セル単位) =(96)Dec, バッファアドレス (セル単位) =(0030)Hex, 残量エラーフラグ=(0)Bin となる。

20 次に、図 1 4 (b) は、パス 1 の 6 番目のメッセージの 2 番目のセルを受信した時のメモリ領域配置を示す図であり、同様の処理が行なわれる。まず、組立作業領域 K_1 から、受信バッファ先頭アドレス=(0000)Hex, 受信バッファ領域サイズ=(01E0)Hex, セルカウント数=(1)Dec が読み込まれ、次に、組立作業領域 K_1 に、受信バッファ先頭アドレス=(0000)Hex, 受信バッファ領域サイズ=(01E0)Hex, セルカウント数=(2)Dec と書き込まれる。続いて、組立作業領域 K_2 から、残量 (メッセージ単位) =(144)Dec, バッファアドレス (メッセージ単位) =(0000)Hex, 残量 (セル単位) =(96)Dec, バッファアドレス (セル単位) =(0030)Hex, 残量エラーフラグ=(0)Bin と読み込まれる。さらに、組立作業領域 K_2 は、残量 (メッセージ単位) =(144)Dec, バッファアドレス (メッセージ単位) =(0000)Hex, 残量 (セル単位) =(48)Dec, バッファアドレス (セル単位) =(0060)Hex, 残量エラーフラグ=(0)Bin と書き込まれる。

図14(c)は、バス1の6番目のメッセージの3番目のセルを受信した時のメモリ領域配置を示す図であり、同様の処理が行なわれる。まず、組立作業領域K₁から、受信バッファ先頭アドレス=(0000)Hex, 受信バッファ領域サイズ=(01E0)Hex, セルカウント数=(2)Decが読み込まれ、次に、組立作業領域K₁に、受信バッファ先頭アドレス=(0000)Hex, 受信バッファ領域サイズ=(01E0)Hex, セルカウント数=(3)Decと書き込まれる。続いて、組立作業領域K₂から、残量(メッセージ単位)=(144)Dec, バッファアドレス(メッセージ単位)=(0000)Hex, 残量(セル単位)=(48)Dec, バッファアドレス(セル単位)=(0060)Hex, 残量エラーフラグ=(0)Binと読み込まれる。さらに、組立作業領域K₂は、残量(メッセージ単位)=(144)Dec, バッファアドレス(メッセージ単位)=(0000)Hex, 残量(セル単位)=(0)Dec, バッファアドレス(セル単位)=(0090)Hex, 残量エラーフラグ=(0)Binと書き込まれる。これらの図14(b), 14(c)では、受信セルのカウント数と、メモリ領域の書き込み先頭アドレスが、インクリメントされる。すなわち、図14(c)に示す領域配置の後の処理により、セルカウント数が(3)Decとなり、バッファアドレス(セル単位)=(0090)Hex, 残量エラーフラグ=(0)Binとなる。

ここで、3番目のメッセージについての読み出し処理が行なわれる。この3番目のメッセージについては、図12(e), (f)にて、書き込まれなかったものである。図14(d)は、CPU25が3番目のメッセージを読み出した後のメモリ領域配置を示す図である。この図14(d)に示す外部メモリ22の6領域(アドレス0090～アドレス0180)が、開放される。

そして、メッセージBOX24内の書き込み管理情報が読み出され、受信データ長=(0)Dec, バッファ先頭アドレス=(0000)Hex, セルカウント数=(0)Dec, 残量エラーフラグ=(1)Binが読み出される。従って、3番目のメッセージについての読み出し処理は行なわれず、それを示すために、残量エラーフラグ=(1)Binとなる。

続いて、組立作業領域K₂の読み込みがされて、残量(メッセージ単位)=(144)Dec, バッファアドレス(メッセージ単位)=(0000)Hex, 残量(セル単位)=(0)Dec, バッファアドレス(セル単位)=(0090)Hex, 残量エラーフラグ=(0)Bi

nとなる。これによって、十分な領域があることがわかるようになる。

さらに、組立作業領域K₂の書き込みが行なわれて、残量検査が行なわれる。すなわち、残量（メッセージ単位）=(432)Dec, バッファアドレス（メッセージ単位）=(0000)Hex, 残量（セル単位）=(288)Dec, バッファアドレス（セル単位）=(0090)Hex, 残量エラーフラグ=(0)Binとなる。

また、さらに、図14(e)は、パス1の6番目のメッセージの4番目のセルを受信した時のメモリ領域配置を示す図である。まず、組立作業領域K₁から、受信バッファ先頭アドレス=(0000)Hex, 受信バッファ領域サイズ=(01E0)Hex, セルカウント数=(3)Decが読み込まれる。

10 そして、組立作業領域K₁が書き込まれ、受信バッファ先頭アドレス=(0000)Hex, 受信バッファ領域サイズ=(01E0)Hex, セルカウント数=(4)Decとなる。

続いて、組立作業領域K₂が読み込まれて、残量（メッセージ単位）=(432)Dec, バッファアドレス（メッセージ単位）=(0000)Hex, 残量（セル単位）=(288)Dec, バッファアドレス（セル単位）=(0090)Hex, 残量エラーフラグ=(0)Binをうる。

さらに、組立作業領域K₂が書き込まれて、残量（メッセージ単位）=(432)Dec, バッファアドレス（メッセージ単位）=(0000)Hex, 残量（セル単位）=(240)Dec, バッファアドレス（セル単位）=(00C0)Hex, 残量エラーフラグ=(0)Binとなる。

20 最後に、図14(f)は、パス1の6番目のメッセージの最終セルを受信した時のメモリ領域配置を示す図である。すなわち、組立作業領域K₁から、受信バッファ先頭アドレス=(0000)Hex, 受信バッファ領域サイズ=(01E0)Hex, セルカウント数=(4)Decが読み込まれ、次に、組立作業領域K₁に、受信バッファ先頭アドレス=(0000)Hex, 受信バッファ領域サイズ=(01E0)Hex, セルカウント数=(5)Decと書き込まれる。続いて、組立作業領域K₂から、残量（メッセージ単位）=(432)Dec, バッファアドレス（メッセージ単位）=(0000)Hex, 残量（セル単位）=(240)Dec, バッファアドレス（セル単位）=(00C0)Hex, 残量エラーフラグ=(0)Binと読み出される。さらに、組立作業領域K₂は、残量（メッセージ単位）=(192)Dec, バッファアドレス（メッセージ単位）=(00F0)Hex, 残量（セル単位）

= (192)Dec, バッファアドレス (セル単位) =(00F0)Hex と書き込まれ、また、組立作業領域 K₂ の書き込み処理のときには、受信セルを書き込む空き領域があるので、残量エラーフラグが、(0)Bin と書き込まれる。

すなわち、4 番目 / 4 個のセルであることを認識し、セルカウント数が (4)Dec 5 c にされる。また、組立作業領域 K₂ の読み出し処理のときに、残量 (セル単位) が (240)Dec になる。さらに、組立作業領域 K₂ の書き込み処理のときには、残量 (メッセージ単位) =(192)Dec, バッファアドレス (メッセージ単位) =(00F0)Hex, 残量 (セル単位) =(192)Dec, バッファアドレス (セル単位) =(00F0)Hex, 残量エラーフラグ=(0)Bin となる。

10 そして、メッセージ BOX 2 4 内の書き込み管理情報が書き込まれ、受信データ長=(240)Dec, バッファ先頭アドレス=(0000)Hex, セルカウント数=(5)Dec と書き込まれる。

15 このように、一つのセルが受信されたときに、そのセルに関して、上記の複数の管理情報を用いて、セル番号、メッセージ番号、セルの受信個数等が管理される。従って、複数のバスから到来したセルを受信したときに、各セルに対して、個別に管理を行なえるのである。

さて、上記の図 10 (a) ~ (d) を用いて説明した格納フラグを用いた書き込み方法について、図 15 (a) ~ (f) を用いて、格納フラグを用いた書き込みのさらに具体的な方法を説明する。また、その後に、図 16 (a) ~ (f) を 20 用いて、格納フラグを用いた読み出しの方法を説明する。

図 15 (a) ~ (f) は、格納フラグを用いて書き込み順位を付与して書き込む方法を説明する図である。この図 15 (a) ~ (f) は、1 パス分の受信バッファ領域をアドレス 0000 からアドレス 0FFF (4K バイト) としたときの書き込み例を示している。

25 図 15 (a) は、1 番目のメッセージのセル番号 2 のセルを書き込みを行なった直後の領域配置を示す図である。この図 15 (a) に示す外部メモリ 22 のアドレス 0000 には、セル (1-1) が、格納フラグとともに、書き込まれている。この格納フラグは、2 バイトのビットで表示され、メッセージ番号と、読み出し処理ビットとからなる。従って、フラグ領域として機能していることになる。

例えば、メッセージ番号が 1 で、読み出し処理ビットが 0 (処理) なら、
(K 1) 0 1 + 0 (処理)

と表示される。

従って、アドレステーブル 2 3 は、受信セルが読み出されたか否かのフラグ情報 5 をメモリ領域内に設けられたフラグ領域 (K 1) に書き込むことによって、受信セルに書き込み順位を付与していることになる。

そして、この図 15 (a) には、スタートレジスタ 4 0 a, 4 0 b と、メッセージ BOX レジスタ 4 1 a, 4 1 b, 4 1 c とが表示されている。このスタートレジスタ 4 0 a は、メモリ領域内に受信セルを書き込むための書き込み位置を管 10 理する先頭アドレス保持部として機能している。また、スタートレジスタ 4 0 b は、メッセージ番号ステータスを表すものである。そして、次の書き込みアドレスが 0 1 0 0 で、組立て中のメッセージ番号が 0 1 と表示されている。

さらに、図 15 (a) に示すメッセージ BOX レジスタ 4 1 a はメッセージ番号を表示し、メッセージ BOX レジスタ 4 1 b はメッセージ先頭アドレスを表示 15 しており、これらは、書き込まれた受信セルのメッセージ番号と書き込みアドレスとを管理するメッセージ収納保持部として機能している。また、メッセージ BOX レジスタ 4 1 c は、メッセージ内のセル数を表示している。

従って、アドレステーブル 2 3 は、メモリ領域内に受信セルを書き込むための書き込み位置を管理する先頭アドレス保持部 (スタートレジスタ 4 0 a, 4 0 20 b) の表示と、書き込まれた受信セルのメッセージ番号と書き込み位置情報を管理するメッセージ収納保持部 (メッセージ BOX レジスタ 4 1 a, 4 1 b, 4 1 c) の表示とを読み出すことによって書き込み順位を付与するようになってい 25 る。

また、これから、メッセージ読み出し装置は、複数のセルからなるメッセージのそれぞれのセルであってメモリ領域に書き込まれたセルを読み出す際に、CPU 25, 外部メモリ 2 2 を用いて、次の (i) ~ (i i i) に示す 3 通りの手段で、書き込まれたセルを読み出すことができる。すなわち、メッセージ読み出し装置内のアドレステーブル 2 3 は、制御手段として機能し、メモリ領域の設定により、第 1 手段、第 2 手段、第 3 手段のうちいずれかの手段を選択できる。

(i) 第 1 手段

セルが受信処理された順番に応じて付与された書き込み順位に基づいて、メッセージを読み出す。

(i i) 第 2 手段

- 5 セルについて読み出し処理が行なわれたか否かを表示するフラグ情報（格納フラグ）をメモリ領域に書き込むことで付与された書き込み順位に基づいて、メッセージを読み出す。

(i i i) 第 3 手段

- メモリ領域内で書き込まれた受信セルのメッセージ番号と書き込み位置情報と
10 を管理するメッセージ収納保持部（メッセージ BOX レジスタ 41a, 41b,
41c）の表示により付与された書き込み順位に基づいて、メッセージを読み出す。

図 15 (b) は、1 番目のメッセージが書き込まれた時の領域配置を示す図である。この図 15 (b) に示す配置は、5 セルからなるメッセージが受信された
15 ときであって、スタートレジスタ 40a の表示が、アドレス 0250 を表示している。

図 15 (c) は、2 番目のメッセージが書き込まれた時の領域配置を示す図である。この図 15 (c) に示す配置は、2 セルからなるメッセージが受信された
20 ときであって、1 番目のメッセージに関する書き込み情報と、2 番目のメッセージに関する書き込み情報とが保持されている。具体的には、メッセージ BOX レジスタ 41a, 41b, 41c はそれぞれ、メッセージ番号 1, メッセージ先頭アドレス 0000, メッセージ内セル数 5 を表示するとともに、メッセージ番号 2, メッセージ先頭アドレス 0250, メッセージ内セル数 2 を表示している。

同様に、図 15 (d) は、3 番目のメッセージが書き込まれた時の領域配置を示す図であり、図 15 (e) は、4 番目のメッセージが書き込まれた時の領域配置を示す図であり、図 15 (f) は、5 番目のメッセージが書き込まれた時の領域配置を示す図である。これらの図に記載していることは、図 15 (c) で説明した内容と同様であるので、重複した説明を省略する。

このようにして、CPU 25 が、格納フラグを見て、読み出し済であるか否か

を判定できるので、複数のバスから到来したセルについて、個別に処理ができるようになるのである。

次に、読み出しの流れを説明する。図16(a)～(f)は、格納フラグを用いて書き込み順位を付与して書き込まれたセルを読み出す方法を説明する図である。この図16(a)～(f)に示す受信バッファ領域には、5種類のメッセージが書き込まれている。また、格納フラグ(K1)～(Ka)は、それぞれ、フラグ領域として機能している。

図16(a)は、読み出す前の領域配置を示す図である。この図16(a)に示すように、5セル構成の1番目のメッセージ1(アドレス0000～アドレス0250)、2セル構成の2番目のメッセージ2(アドレス0250～アドレス0350)、3セル構成の3番目のメッセージ3(アドレス0350～アドレス0500)、1セル構成の4番目のメッセージ4(アドレス0350)、3セル構成の5番目のメッセージ5(アドレス0550～アドレス0700)が書き込まれている。

ここで、格納フラグ、スタートレジスタ40a, 40bと、メッセージBOXレジスタ41a, 41b, 41cとについては、上述したものと同様であるので、更なる説明を省略する。また、以下の図においても、重複した内容については、説明を省略することがある。

図16(b)は、2番目のメッセージが読み出された後の領域配置を示す図である。2番目に書き込まれていたメッセージが読み出されたので、空き領域となっている。この時、2番目のメッセージについての格納フラグ(K2)は、
(K2) 02+0 (処理)

と表示される。

図16(c)は、4番目のメッセージが読み出された時の領域配置を示す図であり、4番目のメッセージが読み出された時の領域配置でありこの時点での、格納フラグの表示は、

(K2) 02+0 (処理)

(K4) 04+0 (処理)

となる。なお、この時点でまだ読み出されていない例えば、6番目のメッセージ

に関する格納フラグの表示は、

(K 6) 0 6 + 1 (未処理)

となる。

5 図 1 6 (d) は、9 番目のメッセージまで書き込まれ 5 番目のメッセージが読み出されようとする時の領域配置を示す図である。例えば、5 番目と 9 番目のメッセージに関する格納フラグの表示は、それぞれ、

(K 5) 0 5 + 1 (未処理)

(K 9) 0 9 + 1 (未処理)

10 となる。そして、この (K 5) は、読み出し後に 0 5 + 1 (処理) と書き換わる。
10 図 1 6 (e) は、10 番目のメッセージまで書き込まれた時であって、残りの空き領域に受信セルが書き込める場合の領域配置を示す図である。例えば、5 番目と 10 番目のメッセージに関する格納フラグの表示は、それぞれ、

(K 5) 0 5 + 0 (処理)

(K a) 0 a + 1 (未処理)

15 となる。

20 このように、受信セルに対して、C P U 2 5 が、格納フラグの値を用いて、書き込みと読み出しとを行なって、その後、管理情報を更新するので、複数のバスから到来するセルを、廃棄せずに処理できるのである。そして、空き領域が効率良く使用されるのである。

20 また、さらに、これらの値を用いて、メモリ領域の残りの空き領域のサイズを監視することができる。図 1 6 (f) は、11 番目のメッセージを受信した時の領域配置を示す図である。この 11 番目のメッセージは 5 セルからなり、残りの空き領域には、書き込みができない。

25 このように、残りの空き領域が少ないときは、新たな書き込みを防止できるので、誤って、未処理の領域を侵害して書き込みが行なわれることはない。

そして、このような構成によって、セルの組立て処理が行なわれる。以下、セル単位、メッセージ単位での受信バッファ領域への書き込みの方法を説明する。

図 1 7 は、本発明の一実施形態に係る、受信処理の動作を示すフローチャートである。まず、ステップ N 1 において、複数のポイントから、A A L 5 メッセー

ジを分割したセルであって、パス情報を有するセルが受信されると（受信ステップ）、ステップN 2において、パス認識処理が行なわれて、上記の受信ステップにて受信された受信セルについてのパス情報が抽出され、そのパス情報に対応するA A L 5メッセージの大きさよりも大きいメモリ領域が割り当てられ（メッセージ領域割り当てステップ）、そのパスに対応するアドレステーブル内の組立作業領域K₁のアドレスK₁が生成される。

そして、ステップN 3において、組立作業領域K₁の読み込み処理が行なわれ、ステップN 2で生成されたアドレスK₁を元に、そのパスに対応した組立作業領域K₁データが読み出される。すなわち、そのアドレスK₁から、そのパスに対応する組立作業領域K₁の領域K₁₋₁（組立作業領域K₁のパス1を表す）内のセルカウント数が読み出され、先頭か非先頭かが判定される。

続いて、ステップN 4において、メッセージ先頭認識処理がされ、ステップN 3にて読み込まれた組立作業領域K₁（K₁と付した領域）のデータ内のセルカウント数を元に、現在処理しているセルがメッセージの先頭か非先頭かが判断される。ここで、先頭であれば、YESルートをとり、そのパスに対応するルックアップ領域アドレスが生成され、ステップN 5において、生成されたアドレスを元にそのパスに対応したルックアップ領域データが読み出される。非先頭なら、NOルートをとり、ルックアップ領域の読み込み処理はされずに、組立作業領域K₁データを元にして、ステップN 6の受信バッファ領域の確定処理が行なわれる。

さらに、ステップN 6においての受信バッファ領域確定処理は、次のようになる。すなわち、メッセージ先頭を受信したときは、ルックアップ領域データのPATHEN設定に従い、メッセージ組立て処理を行なうか、または、メッセージ組立てをせずに、セルを廃棄するかが判定される。また、メッセージ先頭以外を受信したときは、組立作業領域データのPATHEN設定に従い、メッセージ組立て処理を行なうか、または、メッセージ組立てをせずに、セルを廃棄するかが判定される。ここで、メッセージ組立て処理を行なう設定になつていれば、受信メッセージ開始アドレスを元に、受信データを書き込むためのアドレスが生成される。

そして、ステップN 7において、組立作業領域K₁書き込み処理が行なわれる。

すなわち、ステップN 3で読み出された組立作業領域データのセルカウント数が、
+ 1だけ更新され、ステップN 3で読み出された外部メモリのアドレステーブル
内の組立作業領域データの組立作業領域に上書きされる。また、メッセージ先頭
受信時には、ステップN 5で読み出されたルックアップ領域データそのものが、
5 アドレステーブル内の組立作業領域に上書きされる。

ステップN 8において、組立作業領域K₂書き込み処理が行なわれる。ステッ
プN 7での処理終了後に、そのバスに対応する外部メモリの組立作業領域K₂の
アドレスが生成されて、読み出される。

従って、上記のメッセージ領域割り当てステップにて割り当てられたメモリ領
10 域に受信セルを書き込む際に、受信セルに書き込み順位が付与されることになる
(書き込み順位付与ステップ)。

また、ステップN 9において、外部メモリの残量チェック処理がされ、ステッ
プN 10において、組立作業領域K₂書き込み処理が行なわれる。ステップN 7
で読み出された組立作業領域K₂データの残量値を元に、受信バッファ領域の残
15 量の検査が行なわれて、残量エラー(残りの領域が1セル分未満の時)が発生し
たセルに対しては、そのセルに対応するメッセージ全てを破棄するために、メッ
セージの最終セルを受信するまで、ステップN 8で読み出された組立作業領域K₂
データの残量エラービットにフラグを立てて、外部メモリのアドレステーブル内
の組立作業領域K₂に上書きされる。

20 ここで、残量チェックでエラーが発生しないときは、ステップN 8で読み出
された組立作業領域K₂の残量値から-48した値と、次に受信したために、
データを書き込む先頭アドレス値に+48した値とに更新して、アドレステーブ
ル内の組立作業領域K₂に上書きされる。

そして、ステップN 11において、受信データ書き込み処理が行なわれる。ス
テップN 8で読み出された組立作業領域K₂データの受信バッファ領域の先頭ア
ドレスを元に、受信データのペイロード部分の48バイト分が、受信バッファ領
域に書き込まれる。すなわち、上記の書き込み順位付与ステップにて付与された
書き込み順位に従って受信セルをメモリ領域に書き込まれる(格納ステップ)。

また、ステップN 11の処理後、メッセージの最終セルであるか、ないかの判定

が行なわれる。

さらに、ステップN 1 2において、最終セルかどうかの判定（パス単位でのメッセージの最終セル）が行なわれ、最終セルと判定されると、YESルートをとり、ステップN 1 3において、メッセージBOX通知処理が行なわれる。すなわち、メッセージに対する最終セルと判断された場合は、そのメッセージに対する情報、すなわち、受信バッファ領域の書き込み先頭アドレス、メッセージ長及び受信トレーラ値、各エラー情報がメッセージBOX領域に書き込まれ、パス単位でのメッセージ組立てが終了する。そして、メッセージBOX領域に書き込まれることにより、CPUにIRQ通知される。

10 続けて、ステップN 1 4において、CPUへのメッセージBOX読み出し処理が行なわれる。すなわち、CPUは、そのIRQ通知を元に、メッセージBOX領域に書き込まれているデータを読み出し、このデータ内の情報から、その情報に書かれているパスの受信バッファ領域内の受信メッセージが読み出される。

なお、ステップN 1 2で、最終セルではないと判定されると、NOLルートをとり、ステップN 1に戻り、上記のステップN 2からステップN 1 2までの、ステップが繰り返される。

次に、ステップN 1 5において、組立作業領域K₂読み込み処理が行なわれる。ステップN 1 4の処理が終了した後、そのパスに対する組立作業領域K₂が読み出される。また、ステップN 1 6において、残量更新され、ステップN 1 7において、組立作業領域K₂書き込み処理が行なわれる。すなわち、ステップN 1 4で読み出されたメッセージ長分を、ステップN 1 5で読み出された組立作業領域K₂データの残量値にプラスして、次の処理のために、組立作業領域K₂の書き込み更新がされる。

25 このようにして、一つのセルが受信されたときに、そのセルに関して、上記の複数の管理情報を用いて、セル番号、メッセージ番号、セルの受信個数等が管理されるので、メモリ領域を効率的に使用できるようになる。

また、このようにして、複数パスのAAL5メッセージを転送することが可能となるために、トータルでの転送処理能力が向上し、データ転送時間の短縮が実現できるようになる。さらに、受信バッファメモリへのセル書き込みが動的にな

るので、メモリ領域を有効に活用でき、P C Bの部品実装面積が削減され、しいては、P C Bとしてのコストダウンが促進される。

そして、このようにして、マルチコネクション接続（図1参照）ができるのである。すなわち、各一般ユーザからのデータを時分割多重することができるよう5になり、大量のデータの転送ができるようになる。

図18は、本発明の一実施形態に係る、格納フラグを用いた受信処理のフローチャートである。また、この図18に示す処理は、最終セル以外における、書き込みの処理フローチャートである。

まず、複数のポイントからのA T Mセルが受信されると（ステップW1）、そ10のA T Mセルのパスが抽出され、予め設定されたアドレステーブルが参照され、設定されたパスから、受信セルのペイロードデータを格納するアドレスが認識される（ステップW2）。

さらに、メッセージ内の何番目のセルであるかがチェックされ、到着したセルが、A A L 5メッセージの最終セルか、それ以外かが検査される（ステップW153）。そして、ステップW4において、受信セルのヘッダ内のP Tビットがチェックされて、P T = 1なら最終セルと判定され、最終セルと付したルートをとり（図19のBと付した箇所参照）、P T = 0なら最終セル以外と判定され、最終セル以外と付したルートをとる。

そして、ステップW5において、スタートレジスタが読み出されて、到着した20受信セルのペイロードデータを書き込む先頭アドレスと、そのパスでの何番目のメッセージかを認識するメッセージ番号とが抽出される。次に、ステップW6において、メッセージ内の先頭セル識別ビットが検査されて先頭かそれ以外かの判断がされる。

ここで、先頭セルのときは、Y E Sルートをとり、ステップW7において、受25信セルについて、メッセージ単位での情報を管理するメッセージB O X・レジスタへの設定が行なわれる。なお、この設定内容は、ステップW5で読み出されたメッセージ番号のステータス値を元に、その順番のメッセージを格納する先頭アドレスが書き込まれる。

そして、ステップW8において、受信バッファメモリの書き込む先頭アドレス

(ステップW5で書き込まれたもの)に、2バイトの格納フラグとして、メッセージ番号値と、未処理状態にした処理ビットとが書き込まれる。ここで、読み出し処理済で書き込み無しならば、処理ビット=0にされ、読み出し未処理ならば、処理ビット=1にされる。なお、ステップW6において、先頭セル以外のときは、
5 ステップW7の処理は行なわれずに、NOルートをとり、ステップW8で、格納フラグの書き込み処理が行なわれる。

続いて、ステップW9において、格納フラグが書き込まれた後に、受信セルのペイロードデータ(48バイト)が書き込まれる。

さらに、ステップW10において、アドレスが1つインクリメントされ、次の
10 アドレスにおける、格納フラグの読み出し処理ビットが検査される。

ここで、ステップW11において、読み出し処理ビットが処理済か否かが検査される。この理由は、一度そのパスの空き領域が埋まった後に、受信セルを書き込む場合は、次のアドレスに格納フラグが既に書き込まれており、処理ビットが0と1とがあり得るからである。そして、ステップW11で、読み出し処理済の
15 ときは、NOルートをとり、ステップW12において、スタートレジスタの値が更新される。また、ステップW13において、メッセージBOXレジスタの値が更新されて、ステップW14の1セル受信処理が終了する。

なお、ステップW11において、読み出しビットが未処理のときは、セルを書き込みできる空き領域を探す必要があるので、YESルートをとる。
20 そして、ステップW10cにおいて、まず、検査回数S。の値が検査され、この検査回数S。が0からn-1の場合は、再度、ステップW10に戻り、次のアドレスの格納フラグが検査される。一方、この検査回数S。がnの場合は、この図18の右側のルートをとり、ステップW9zでメモリ領域の残量が不足であるとの判定がされる。

25 これにより、読み出し処理ビットが未処理を表示する場合が続いた後に、その検査回数S。が、受信バッファ領域内に書き込み可能なセル数の最大値までカウントされたなら(S。=n)、そのパスの受信バッファ領域は、到着セルを書き込む空きスペースは無いとして、残量不足が通知される。

なお、受信バッファ領域が初期化された後に1番目、2番目のメッセージの受

信セルを書き込む場合は、実用的には、そのパスのバッファ領域内の空き領域が多いために、次のアドレスに格納フラグが書き込まれることはなく、従って、処理ビット = 0 で、書き込み無しとし、スタートレジスタの更新へ進む。

さらに、ステップ W 9 z で、メモリ領域の残量不足の判定がなされた場合は、
5 ステップ W 10 z において、ステップ W 7 で設定されたメッセージ BOX レジスタの設定値がクリアされ、ステップ W 11 z において、今回のメッセージが破棄され、一つ前のメッセージ書き込み終了状態に戻る。また、ステップ W 12 において、受信セルのデータが無事に書き込みできたので、次に到着する受信セルのデータを書き込むためのスタートレジスタ内の先頭アドレスが更新される。そして、
10 ステップ W 13 において、受信セルのデータを無事に書き込みできたので、メッセージ BOX ・ レジスタのセルカウント値がカウントアップされる。

これにより、ステップ W 14 において、セル単位での受信バッファ領域への書き込み処理は終了する。そして、再度ステップ W 1 に戻って、次の到着する ATM セルの待機状態となる。

15 次に、図 19 は、本発明の一実施形態に係る、格納フラグを用いた受信処理のフローチャートである。また、この図 19 に示す処理は、最終セルの書き込みの処理フローチャートである。

この図 19 に示すステップ W 15 において、受信セルが、最終セルのときは、スタートレジスタが読み出されて、ステップ W 5 と同様に、先頭アドレスとメッセージ番号とが取り込まれる。
20

また、ステップ W 16 において、受信バッファメモリのステップ W 15 で読み出したデータの書き込み先頭アドレスに、2 バイトの格納フラグとして、メッセージ番号値と、未処理状態にした読み出し処理ビットとが書き込まれる。すなわち、読み出し処理済で書き込み無しならば処理ビット = 0 にされ、読み出し未処理ならば、処理ビット = 1 にされる。
25

そして、ステップ W 17 において、格納フラグ書き込みの後に、受信セルのペイロードデータ (48 バイト) が書き込まれ、ステップ W 18 において、次のアドレスの格納フラグ内の読み出し処理ビットが検査される。また、ステップ W 10, W 11 と同様に、処理ビット = 0 なら、ステップ W 20 に進み、処理ビット

= 1 ならステップW19zに移動する。

そして、ステップW19zにおいて、同様に、処理ビットが未処理の場合が続いた後には、その検査回数S_nが、受信バッファ領域内に書き込み可能なセル数の最大値までカウントされたなら (S_n = n) 、ステップW18zに進み、その
5 パスの受信バッファ領域は、到着セルを書き込む空きスペースは無いとして、残量不足が通知される。そして、ステップW19z-2において、今回のメッセージが書き込み終了となり、その後、読み出しが行なわれるまでは、NOルートを
10 とり、書き込み不可とする (ステップW20z)。一方、ステップW19z-2において、読み出しが行なわれると、YESルートをとり、ステップW22に進む。

さらに、ステップW19において、受信セルのデータが無事に格納できたので、ステップW20において、次に到着する受信セルのデータを書き込むためのスタートレジスタ内の先頭アドレスが更新される。また、ステップW21において、受信セルのデータを無事に書き込みできたので、メッセージBOX・レジスタの
15 セルカウント値がカウントアップされ、メッセージ内先頭セル識別ビットが立てられる。

これにより、ステップW22において、メッセージ単位での受信バッファ領域への書き込み処理は終了する。そして、再度ステップW1に戻って、次の到着するATMセルの待機状態となる。

20 図20は、本発明の一実施形態に係る、格納フラグを用いた受信処理のフローチャートである。また、この図20に示す処理は、最終セルの読み出しの処理フローチャートである。

まず、ステップR1で、複数のメッセージが格納される。そして、ステップR2において、複数のAAL5メッセージが受信バッファ領域内に格納されている
25 ことを確認した後に、CPU (ファームウェア) は読み出すべきメッセージを決定する。

ステップR3において、読み出されることを決定したメッセージに対する、メッセージBOXレジスタが読み出され、そのメッセージが格納されている先頭アドレスが取り込まれる。

ステップR 4において、メッセージ番号が検査され、そのメッセージの先頭セルの格納フラグが読み出され、メッセージ番号が検査される。

- また、ステップR 5において、読み出し処理ビットが検査されて、読み出し処理ビット=1のときは、未処理ルートをとり、ステップR 6において、そのまま、
5 ペイロードデータ（48バイト）が読み出される。さらに、処理ビット=0のときは、処理済ルートをとり、再度ステップR 4へ戻り、次のセルが書き込まれて
いるところの格納フラグが読み出される。

- ステップR 7において、そのアドレスのセルデータの読み出しが完了したので、
10 そのセルの格納フラグ内の読み出し処理ビットが、読み出し処理ビット=0の処理済に書き換えられる。

- ステップR 8にて、読み出し処理ビットの書き換え回数と、メッセージBOXレジスタ内のメッセージ内セル数カウント値とが比較され、ステップR 9にて、
15 不一致のときは、不一致ルートをとり、再度、ステップR 4へ戻って、次セルが書き込まれている箇所の格納フラグが読み出される。この比較結果が一致の場合には、一致ルートをとり、ステップR 10にて、メッセージ単位での読み出しが終了し、再度ステップR 1へ戻り、次のメッセージを読み出す準備が行なわれる。

このとき、読み出されたメッセージの領域は、空き領域となるため、次のセルが受信されたときに、そのセル内のデータが順次書き込まれていくようとする。

- 20 このようにして、一つのセルが受信されたときに、そのセルに関して、上記の複数の管理情報を用いて、セル番号、メッセージ番号、セルの受信個数等が管理されるので、メモリ領域を効率的に使用することができ、複数バスのAAL5メッセージを転送することが可能となるために、トータルでの転送処理能力が向上し、データ転送時間の短縮が実現できるようになる。

- さらに、受信バッファメモリへのセル書き込みが動的になるので、メモリ領域
25 を有効に活用でき、PCBの部品実装面積が削減され、ひいては、PCBとしてのコストダウンが促進される。

そして、このようにして、マルチコネクション接続（図1参照）ができるのである。すなわち、各一般ユーザからのデータを時分割多重することができるようになり、大量のデータの転送ができるようになる。

(B) その他

上述した実施形態において、書き込み順位は、セルの到着順に付与されるが、この到着順から格納フラグを用いた書き込み順位に切り換える方法は、様々な方法で設定できる。例えば、図4に示す組立作業領域K₁，K₂に、設定するため5の領域を設けることにより、実現できる。さらに、アドレステーブル23，メッセージBOX24，受信バッファ領域の各領域は、図4のような区切り方に限らず、それぞれの領域が、別々の記憶装置に割り当てられるようにすることも可能である。また、格納フラグのメモリ領域内での場所は、種々変更可能である。

さらに、上述のメッセージ書き込み装置は、メッセージがアダプテーションレイヤのメッセージであるとともに、セルがアダプテーションレイヤのメッセージを分割したものであり、このアダプテーションレイヤは、AAL5である。同様に、メッセージ読み出し装置は、メッセージがアダプテーションレイヤのメッセージであるとともに、セルがアダプテーションレイヤのメッセージを分割したものであり、このアダプテーションレイヤは、AAL5である。

15 なお、本発明を適用されるアダプテーションレイヤは、AAL5に限らず、他のAAL0，AAL1，AAL2，AAL3／4を用いることもできる。

さらに、図6において、外部メモリ制御部21eとCPU25とは、図5と同様に接続されている（図示省略）。また、図7において、メッセージBOX24は、説明のために、外部メモリ22の外部に表示している。

20

産業上の利用可能性

現在、インターネット等の普及により、ネットワークでのデータ転送量が、非常に増大してきており、ATM網の通信装置においても、大量のデータの転送処理を、敏速にかつ正確に行なう必要に迫られ、ATMのパス単位でのマルチ接続が、不可欠なものになってきた。本発明は、受信したATMセルを各パス毎で、受信バッファに書き込むことにより、複数パスのAAL5メッセージを転送することが可能となるために、トータルでの転送処理能力が向上し、データ転送時間の短縮が実現できるようになる。

また、AAL5メッセージ組立部にて、付随する受信バッファメモリのスペック

ク、容量に拡張性を持たせることで、ネットワークのトラフィックに準じた処理能力をもつ、最適な通信装置システムを構築できる。

さらに、受信バッファメモリへのセル書き込みを動的にすることで、メモリ領域を有効に活用でき、P C B の部品実装面積が削減され、ひいては、P C B とし
5 てのコストダウンが促進される。

10

15

20

25

請 求 の 範 囲

1. 可変長のメッセージを分割したセルであって、パス情報を有するセルを受信する受信手段（21b）と、
- 5 該受信手段（21b）にて受信された受信セルについての該パス情報を抽出し、該パス情報に対応する該可変長のメッセージの大きさよりも大きいメモリ領域（22）を割り当てるメッセージ領域割り当て手段（21e）と、
該メッセージ領域割り当て手段（21e）にて割り当てられた該メモリ領域（22）に該受信セルを書き込む際に、該受信セルに書き込み順位を付与する書き込み順位付与手段（23）と、
該書き込み順位付与手段（23）にて付与された該書き込み順位に従って該受信セルを該メモリ領域（22）に書き込む格納手段（25）とをそなえて構成されたことを特徴とする、メッセージ書き込み装置。
- 15 2. 該メッセージ領域割り当て手段（21e）が、
該受信セルについてのセル番号とメッセージ番号とによって、該パス情報に対応する、書き込み領域の大きさと該可変長のメッセージの書き込み位置と受信されたセル数とが互いに関連付けられたアドレス表領域（23）として該メモリ領域（22）に設けるアドレス表設定手段と、
- 20 該受信セルをメッセージ単位で読み出しうるためのメッセージ収納領域（24）を該メモリ領域（22）に設けるメッセージ収納領域設定手段とをそなえて構成されたことを特徴とする、請求の範囲第1項記載のメッセージ書き込み装置。
3. 該書き込み順位付与手段（23）が、
- 25 該受信セルに該書き込み順位を該受信セルが受信処理された順番に応じて付与するように構成されたことを特徴とする、請求の範囲第1項記載のメッセージ書き込み装置。
4. 該書き込み順位付与手段（23）が、

該受信セルが読み出されたか否かのフラグ情報を該メモリ領域（22）内に設けられたフラグ領域（K₁，…，K_a）に書き込むことによって、該受信セルに該書き込み順位を付与するように構成されたことを特徴とする、請求の範囲第1項記載のメッセージ書き込み装置。

5

5. 該書き込み順位付与手段（23）が、

該フラグ情報を検査することにより該受信セルを書き込むための空き領域の大きさを検査する残量検査手段（K₂₋₁，…，K_{2-n}）をそなえて構成されたことを特徴とする、請求の範囲第4項記載のメッセージ書き込み装置。

10

6. 該書き込み順位付与手段（23）が、

該メモリ領域（22）内に該受信セルを書き込むための書き込み位置を管理する先頭アドレス保持部（40a，40b）の表示と、書き込まれた該受信セルのメッセージ番号と書き込み位置情報を管理するメッセージ収納保持部（41a，41b，41c）の表示とを読み出すことによって該書き込み順位を付与するように構成されたことを特徴とする、請求の範囲第1項記載のメッセージ書き込み装置。

7. 該書き込み順位付与手段（23）が、

20 該先頭アドレス保持部（40a，40b）の表示と該メッセージ収納保持部（41a，41b，41c）の表示とを検査することにより、受信セルを書き込むための空き領域の大きさを検査する残量検査手段（K₂₋₁，…，K_{2-n}）をそなえて構成されたことを特徴とする、請求の範囲第6項記載のメッセージ書き込み装置。

25

8. 該メッセージがアダプテーションレイヤのメッセージであるとともに該セルが該アダプテーションレイヤのメッセージを分割したものから構成されたことを特徴とする、請求の範囲第1～7項のいずれか一項に記載のメッセージ書き込み装置。

9. 該アダプテーションレイヤがA A L 5 から構成されたことを特徴とする、請求の範囲第8項記載のメッセージ書き込み装置。

5 10. 可変長のメッセージを分割したセルであって、パス情報を有するセルを受信する受信ステップと、

該受信ステップにて受信された受信セルについての該パス情報を抽出し該パス情報に対応する該可変長のメッセージの大きさよりも大きいメモリ領域（22）を割り当てるメッセージ領域割り当てステップと、

10 該メッセージ領域割り当てステップにて割り当てられた該メモリ領域（22）に該受信セルを書き込む際に、該受信セルに書き込み順位を付与する書き込み順位付与ステップと、

該書き込み順位付与ステップにて付与された該書き込み順位に従って該受信セルを該メモリ領域（22）に書き込む格納ステップとをそなえて構成されたことを特徴とする、メッセージ書き込み方法。

11. 複数のセルからなるメッセージのそれぞれのセルであってメモリ領域（22）に書き込まれたセルを読み出す、メッセージ読み出し装置（20）であって、

該セルが受信処理された順番に応じて付与された書き込み順位に基づいて、該メッセージを読み出す第1手段（22, 25）と、

該セルについて読み出し処理が行なわれたか否かを表示するフラグ情報を該メモリ領域（22）に書き込むことで付与された該書き込み順位に基づいて、該メッセージを読み出す第2手段（22, 25）と、

該メモリ領域（22）内で書き込まれた該受信セルのメッセージ番号と書き込み位置情報を管理するメッセージ収納保持部（41a, 41b, 41c）の表示により付与された該書き込み順位に基づいて、該メッセージを読み出す第3手段（22, 25）とをそなえ、

該メモリ領域（22）の設定により、第1手段（22, 25），第2手段（22, 25），第3手段（22, 25）のうちいずれか一の手段を選択しうる制御

手段（23）をそなえて構成されたことを特徴とする、メッセージ読み出し装置。

12. 該メッセージがアダプテーションレイヤのメッセージであるとともに該セルが該アダプテーションレイヤのメッセージを分割したものから構成されたこと
5 を特徴とする、請求の範囲第11項記載のメッセージ読み出し装置。

13. 該アダプテーションレイヤがAAL5から構成されたことを特徴とする、
請求の範囲第12項記載のメッセージ読み出し装置。

10 14. 複数のセルからなるメッセージのそれぞれのセルであってメモリ領域（22）に書き込まれたものを読み出すメッセージ読み出し方法であって、
該セルが受信処理された順番に応じて付与された書き込み順位に基づいて、該
メッセージを読み出す第1ステップと、

該セルについて読み出し処理が行なわれたか否かを表示するフラグ情報を該メ
15 モリ領域（22）に書き込むことで付与された該書き込み順位に基づいて、該メ
ッセージを読み出す第2ステップと、

該メモリ領域（22）内で書き込まれた該受信セルのメッセージ番号と書き込
み位置情報を管理するメッセージ収納保持部（41a, 41b, 41c）の表示
により付与された該書き込み順位に基づいて、該メッセージを読み出す第3ス
20 テップとをそなえ、

該メモリ領域（22）の設定により、第1ステップ、第2ステップ、第3ステ
ップのうちいずれか一のステップを選択的に実行するように構成されたことを特
徴とする、メッセージ読み出し方法。

25 15. 可変長のメッセージを分割した送信されたセルを受信しその受信セルから
パス情報を抽出するパス認識部（21a）と、

該パス認識部（21a）から出力される該パス情報に対応して、メモリ（22）に書き込む際の書き込み順位を付与し、書き込み領域の大きさと該可変長の
メッセージの書き込み位置と受信されたセル数とを管理情報として出力しうる受

信制御部（21c）と、

該受信制御部（21c）からの該管理情報により、該パス情報に対応する、該書き込み領域の大きさと該可変長のメッセージの書き込み位置と該受信されたセル数とが互いに関連付けられたアドレス表（23）を有し、一つの可変長のメッセージについて受信セルを組立てて第2書き込み情報を出力しうる受信メッセージ組立て部（21b）と、

該受信メッセージ組立て部（21b）からの該管理情報と該受信制御部（21c）からの該第2書き込み情報とにより、該メモリ（22）への書き込みを制御しうるメモリ制御部（21e）とをそなえて構成されたことを特徴とする、可変長のメッセージ書き込み用のメモリアドレス制御回路。

16. 可変長のメッセージを分割した送信されたセルを受信しその受信セルからパス情報を抽出するパス認識部（21a）と、

該パス認識部（21a）から出力される該パス情報に対応して、メモリ（22）から読み出す際の読み出し順位を付与し、読み出し領域の大きさと該可変長のメッセージの読み出し位置と受信されたセル数とを管理情報として出力しうる受信制御部（21c）と、

該受信制御部（21c）からの該管理情報により、該パス情報に対応する、該読み出し領域の大きさと該可変長のメッセージの読み出し位置と該受信されたセル数とが互いに関連付けられたアドレス表（23）を有し、一つの可変長のメッセージについて受信セルを組立てて第2読み出し情報を出力しうる受信メッセージ組立て部（21b）と、

該受信メッセージ組立て部（21b）からの該管理情報と該受信制御部（21c）からの該第2読み出し情報とにより、該メモリ（22）への読み出しを制御しうるメモリ制御部（21e）とをそなえて構成されたことを特徴とする、可変長のメッセージ読み出し用のメモリアドレス制御回路。

要 約 書

マルチコネクション接続において、メッセージ書き込み装置を提供する。かかるメッセージ書き込み装置（21）において、パス認識部（21a）、受信メッセージ組立て部（21b）、受信制御部（21c）、調停部（21d）、外部メモリ制御部（21e）をそなえて構成し、受信したATMセルを受信バッファに読み書きする際に、各パス毎に対応したメモリ領域に読み書きすることによって、複数パスのAAL5メッセージを処理できるようにし、かつ、転送処理能力を向上させることによって、データ転送時間の短縮を実現できるようにする。

10

15

20

25

図 1

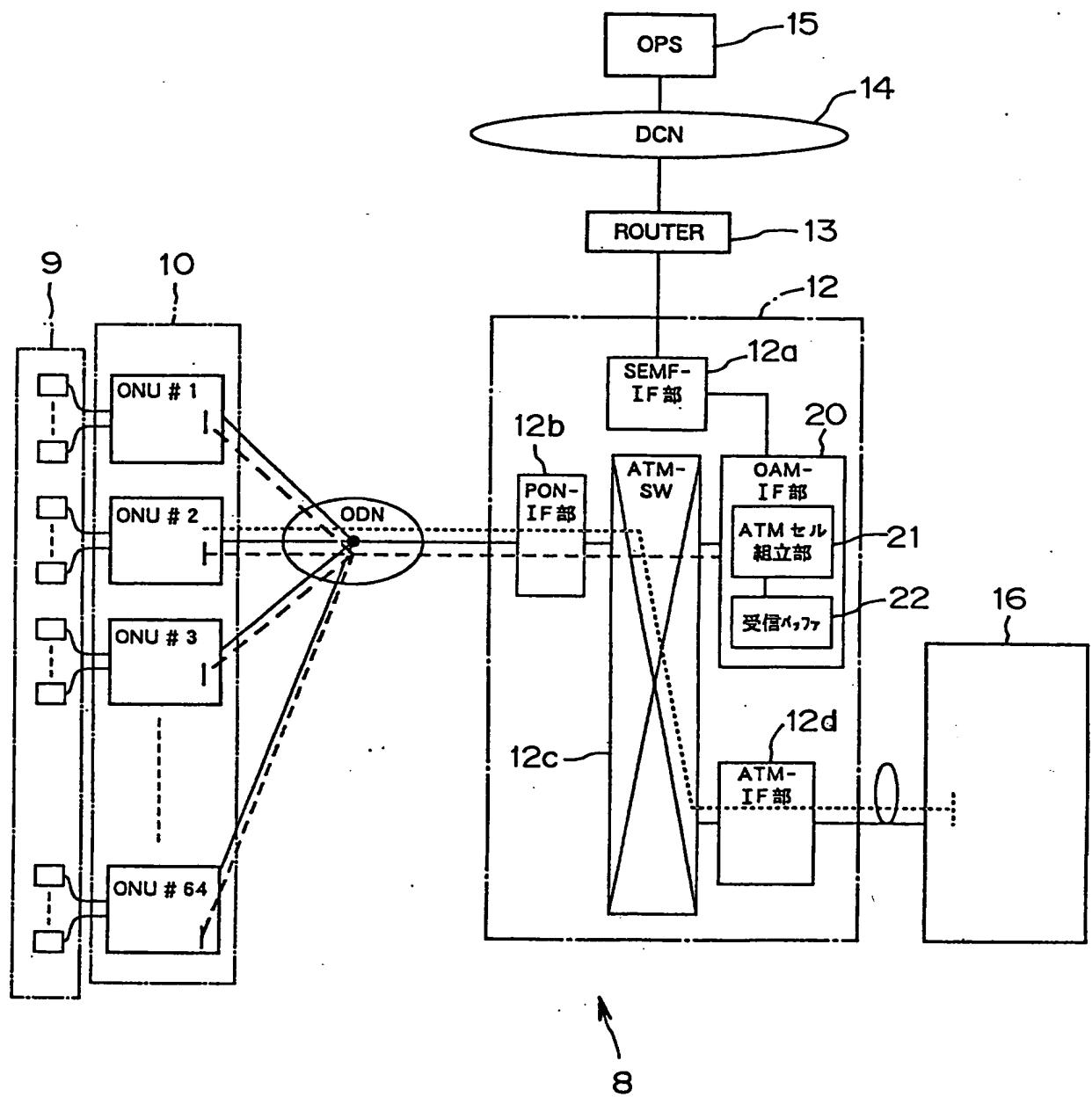


図2

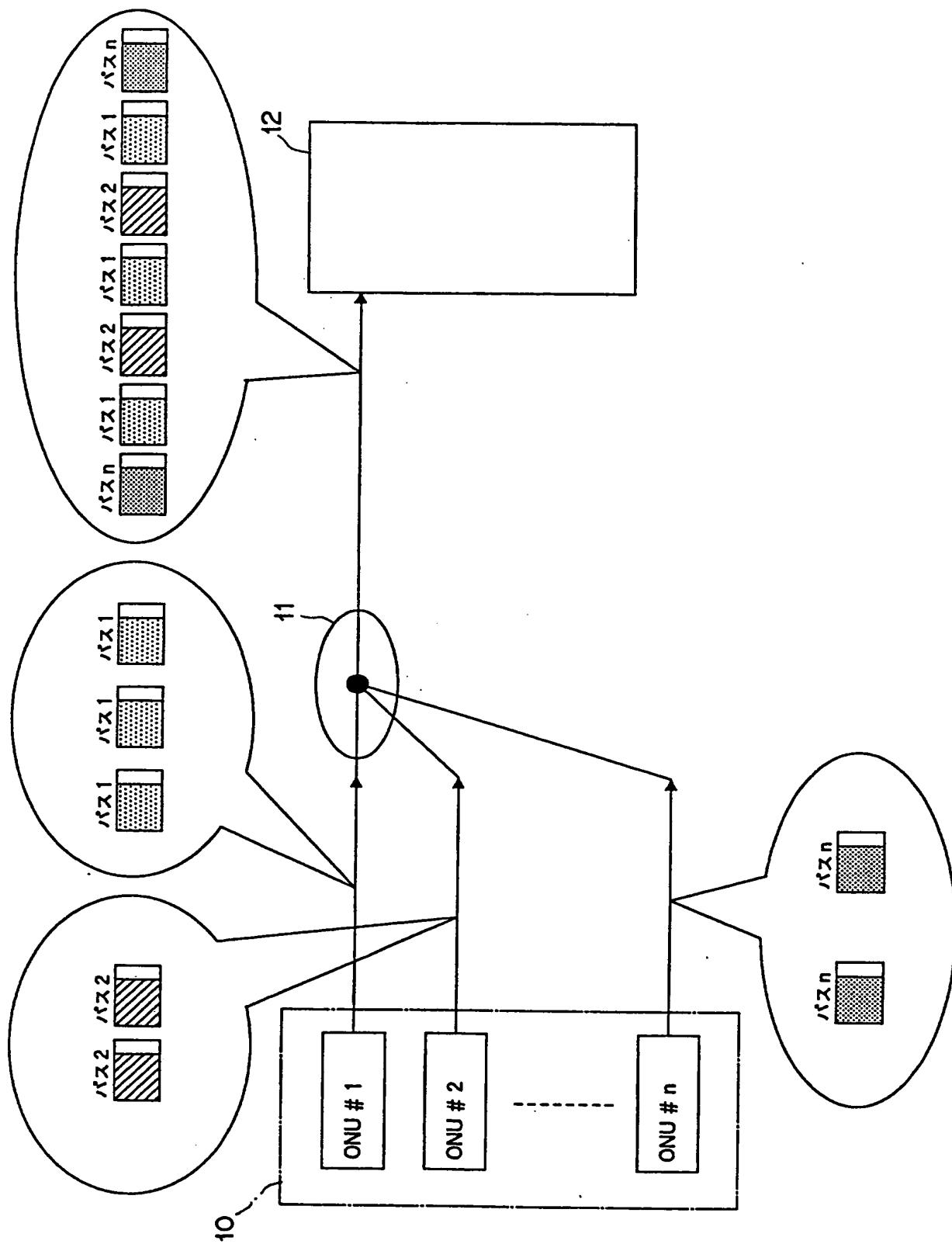


図3

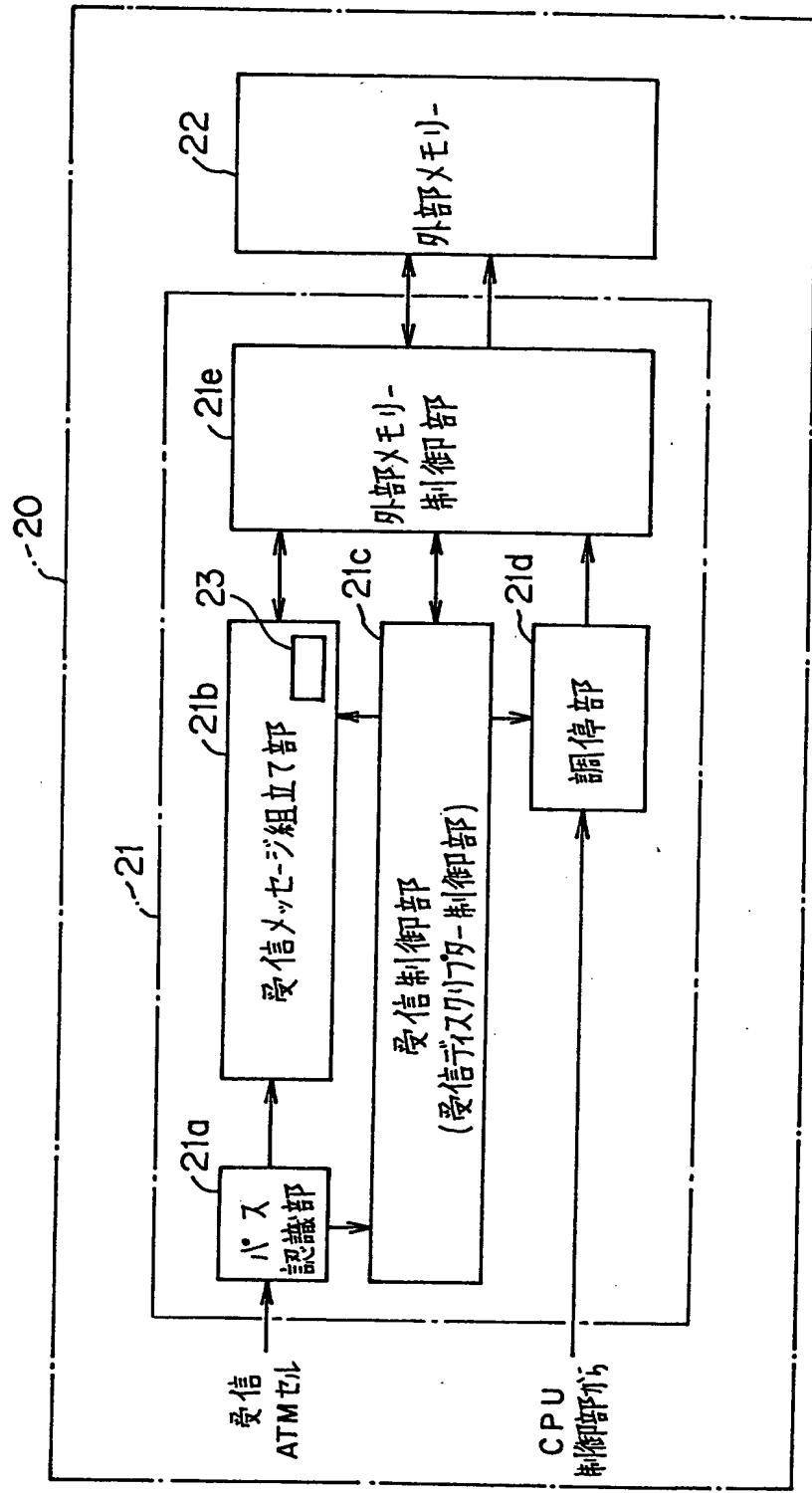


図 4

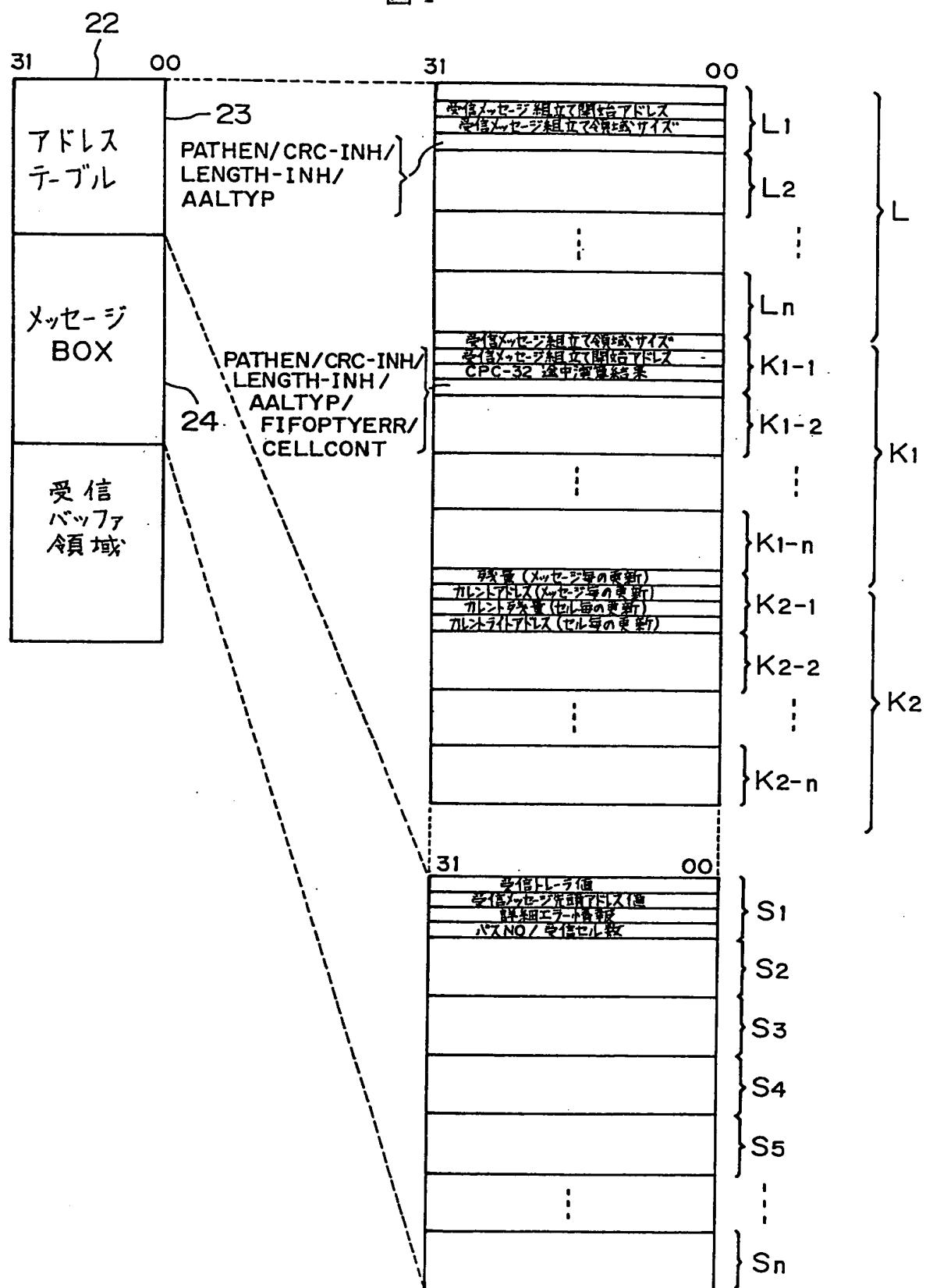


図5

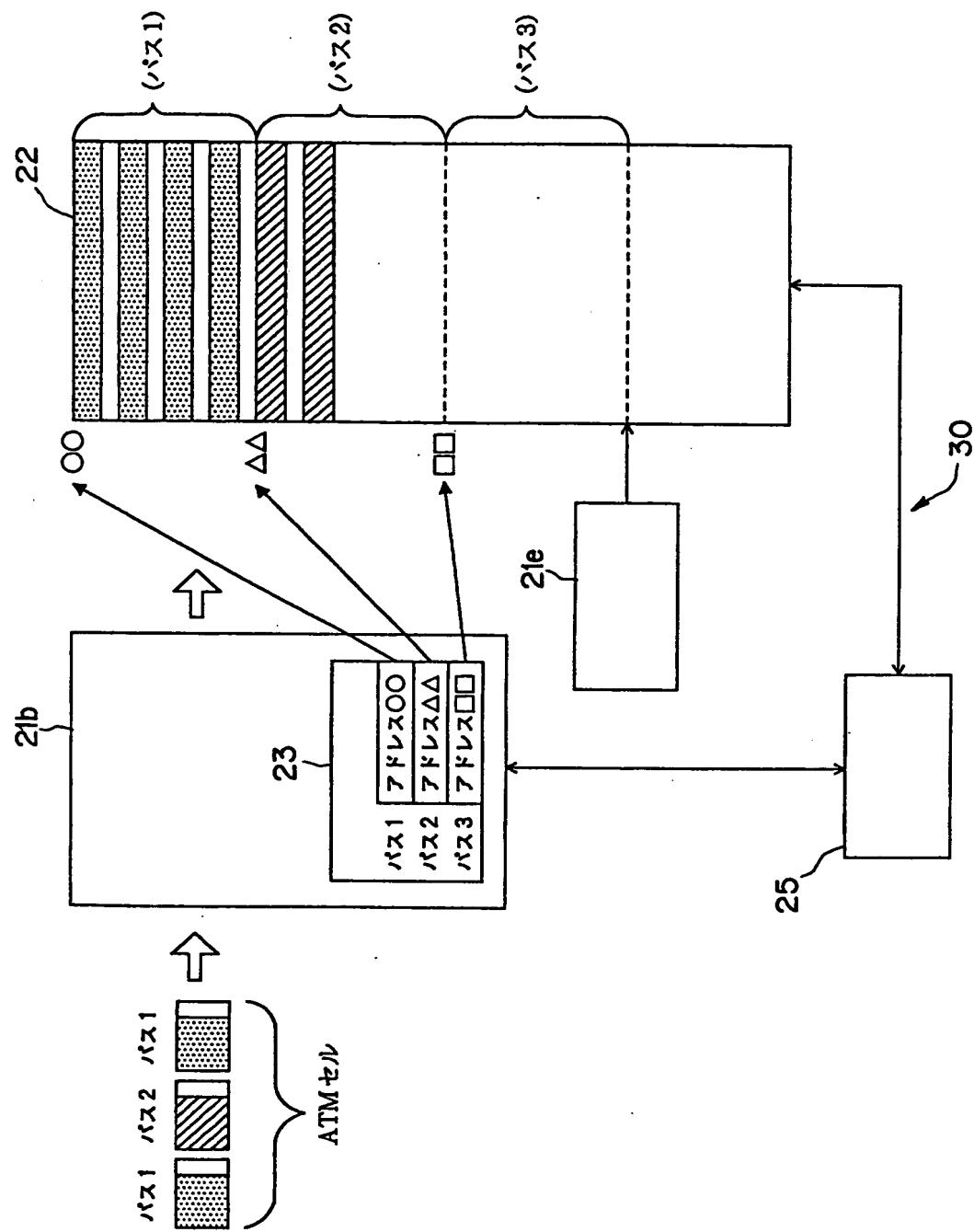
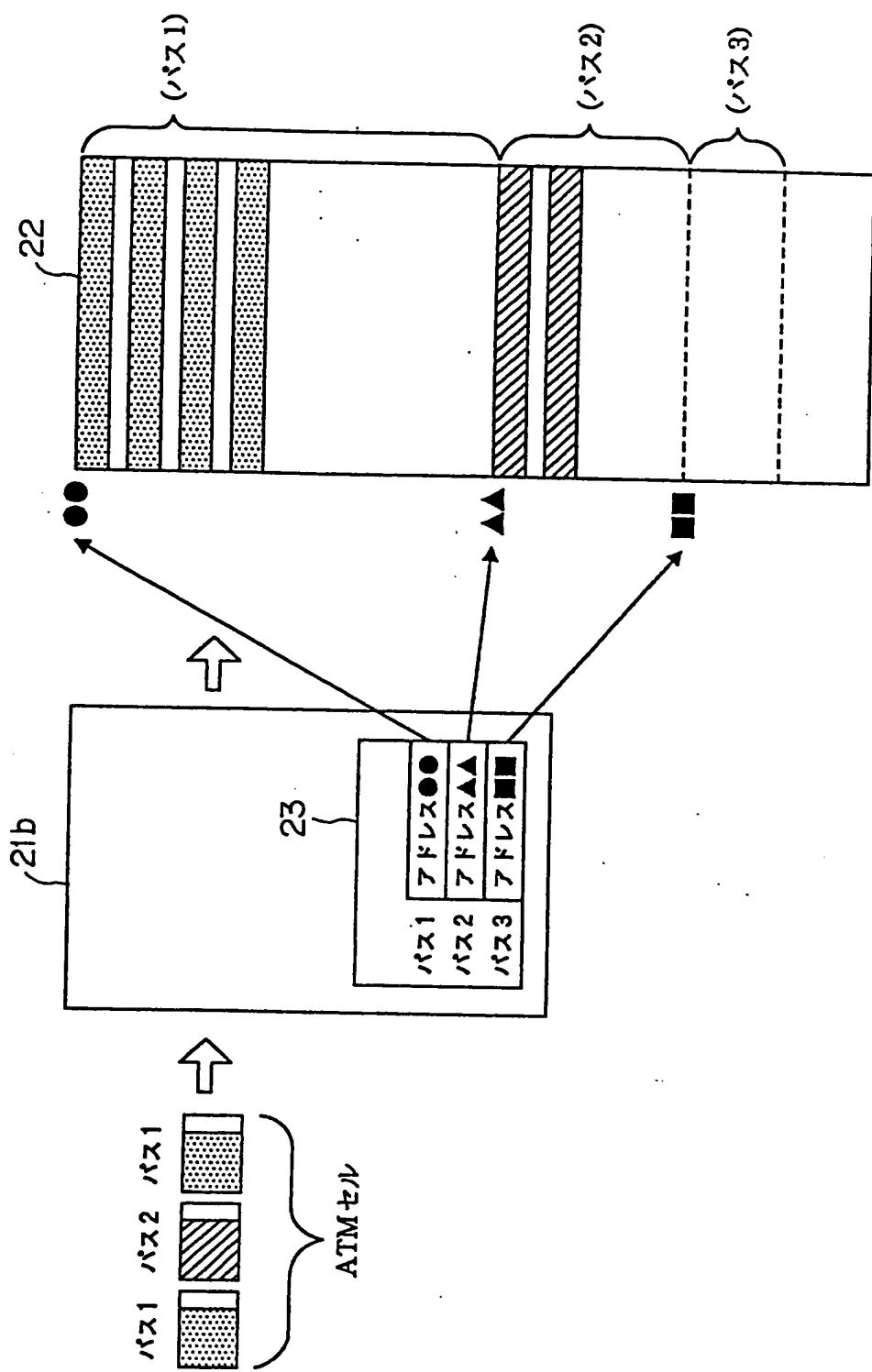
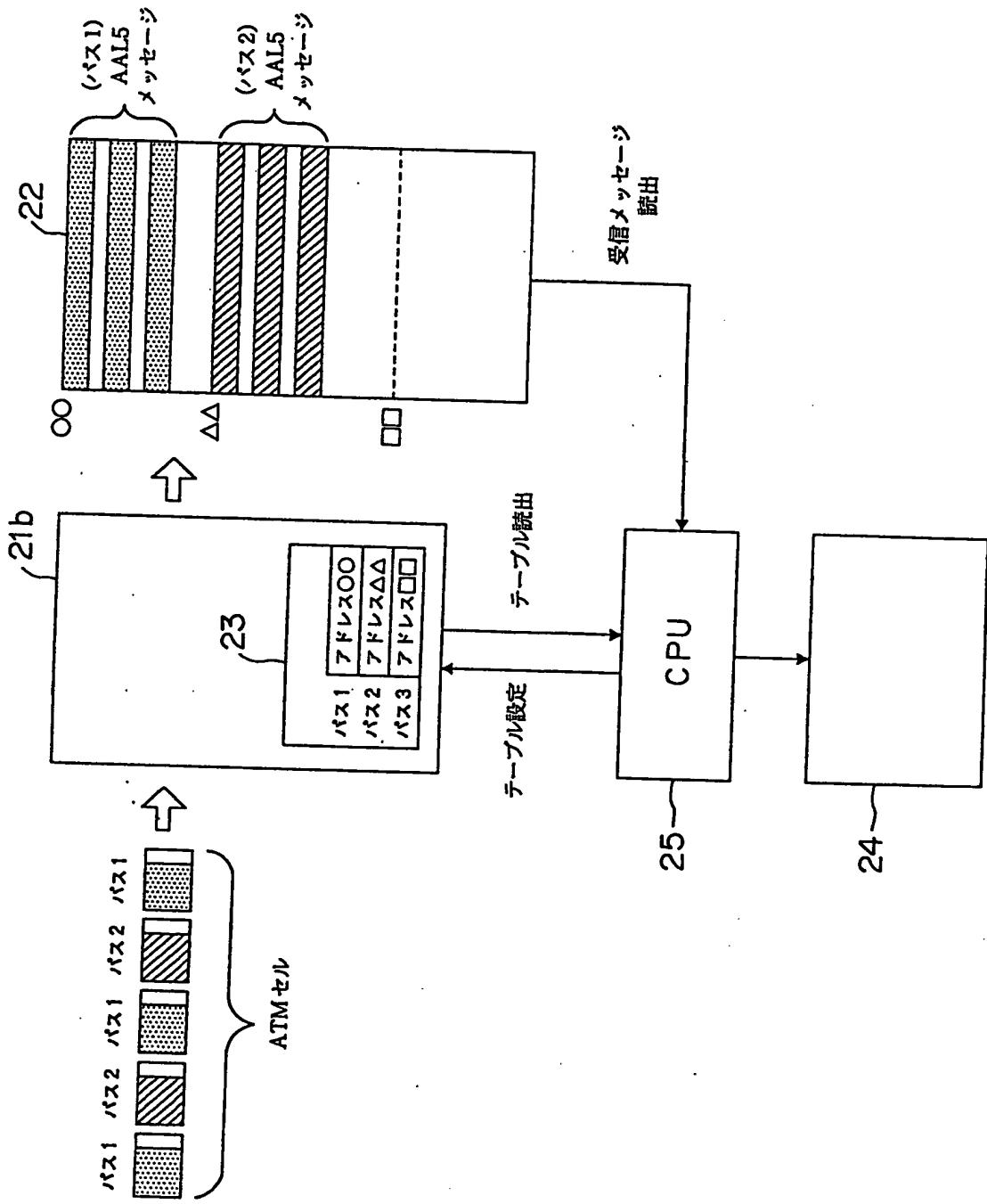


図6



7



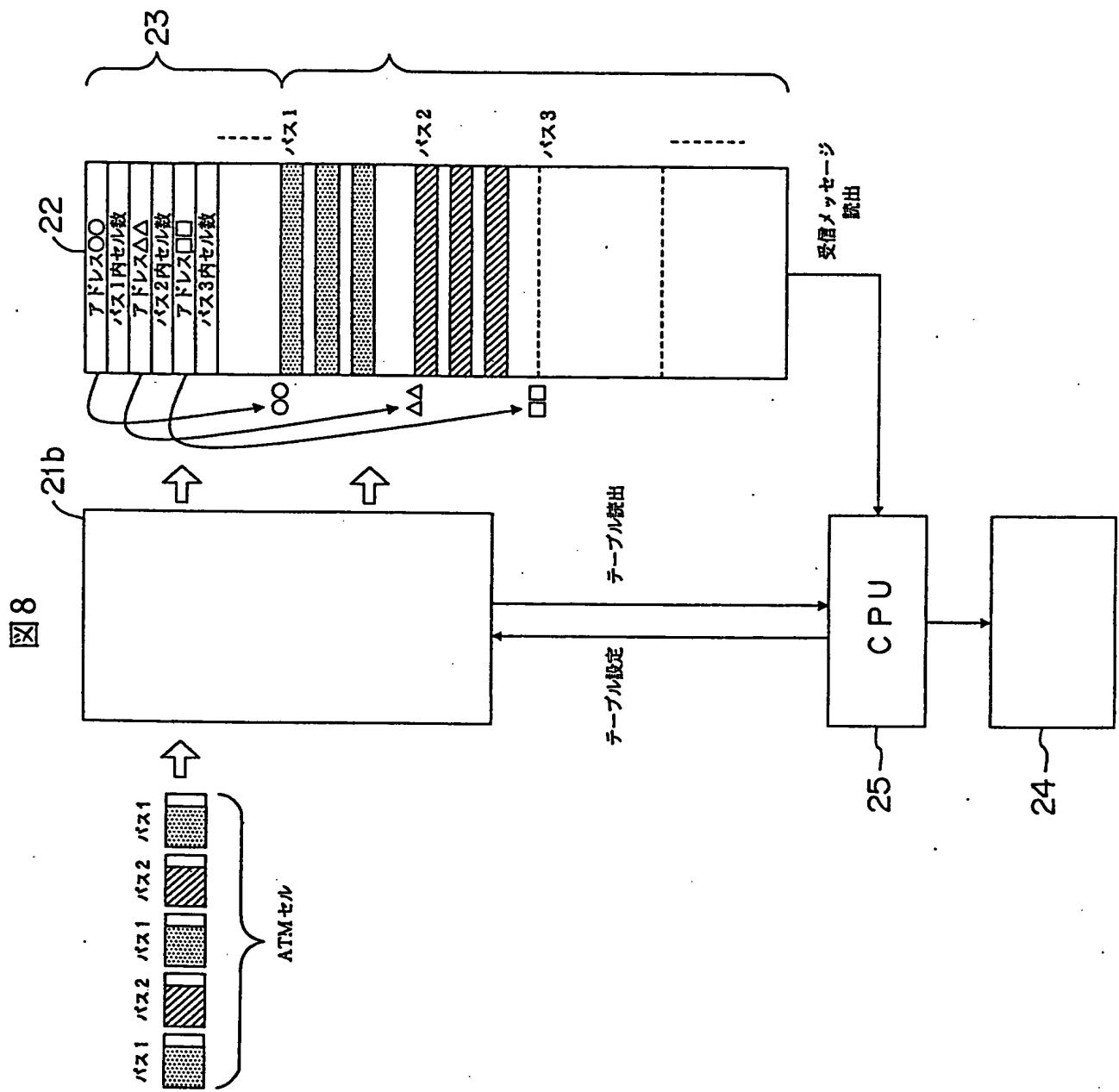


図9 (a)

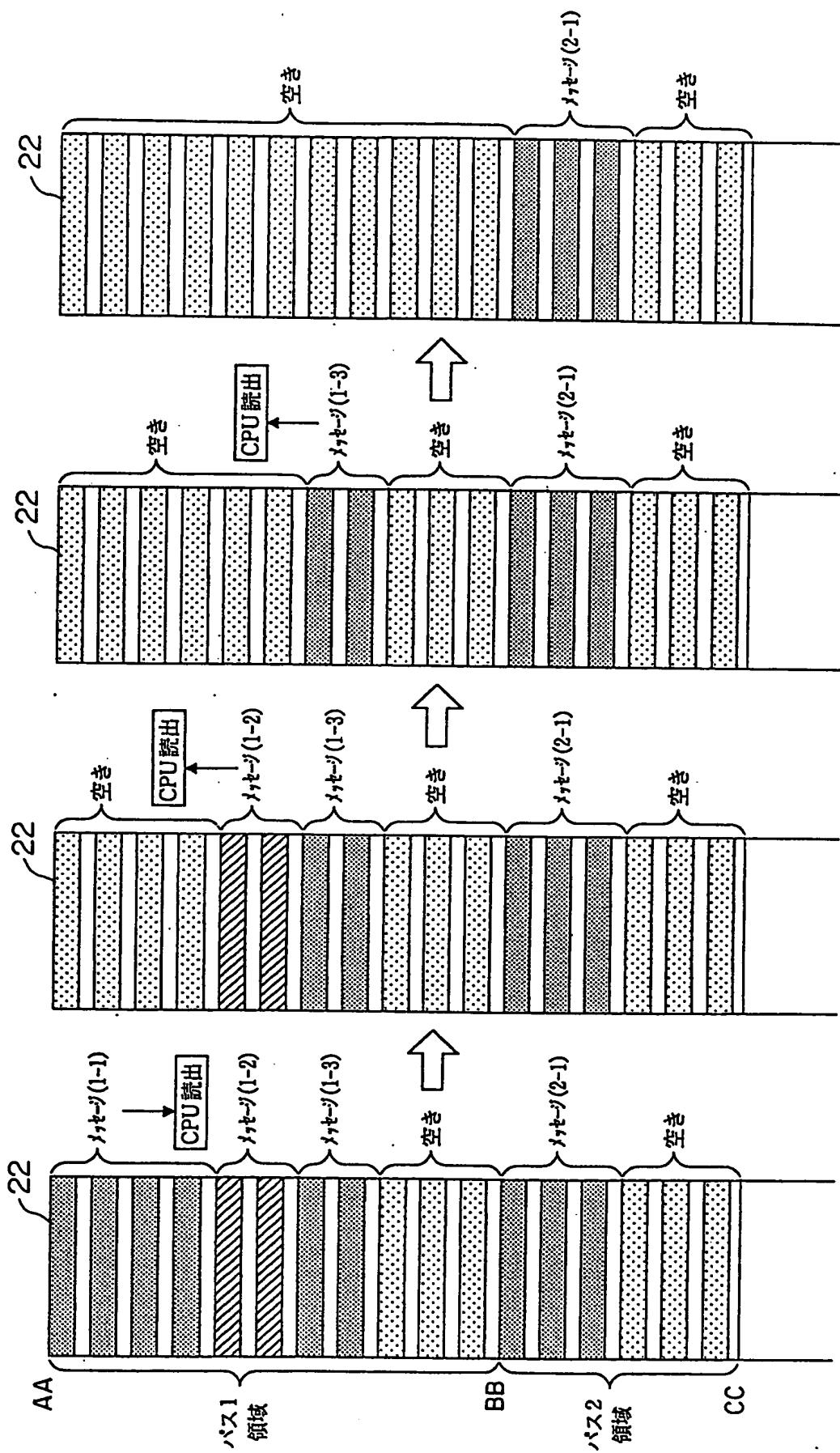


図9 (b)

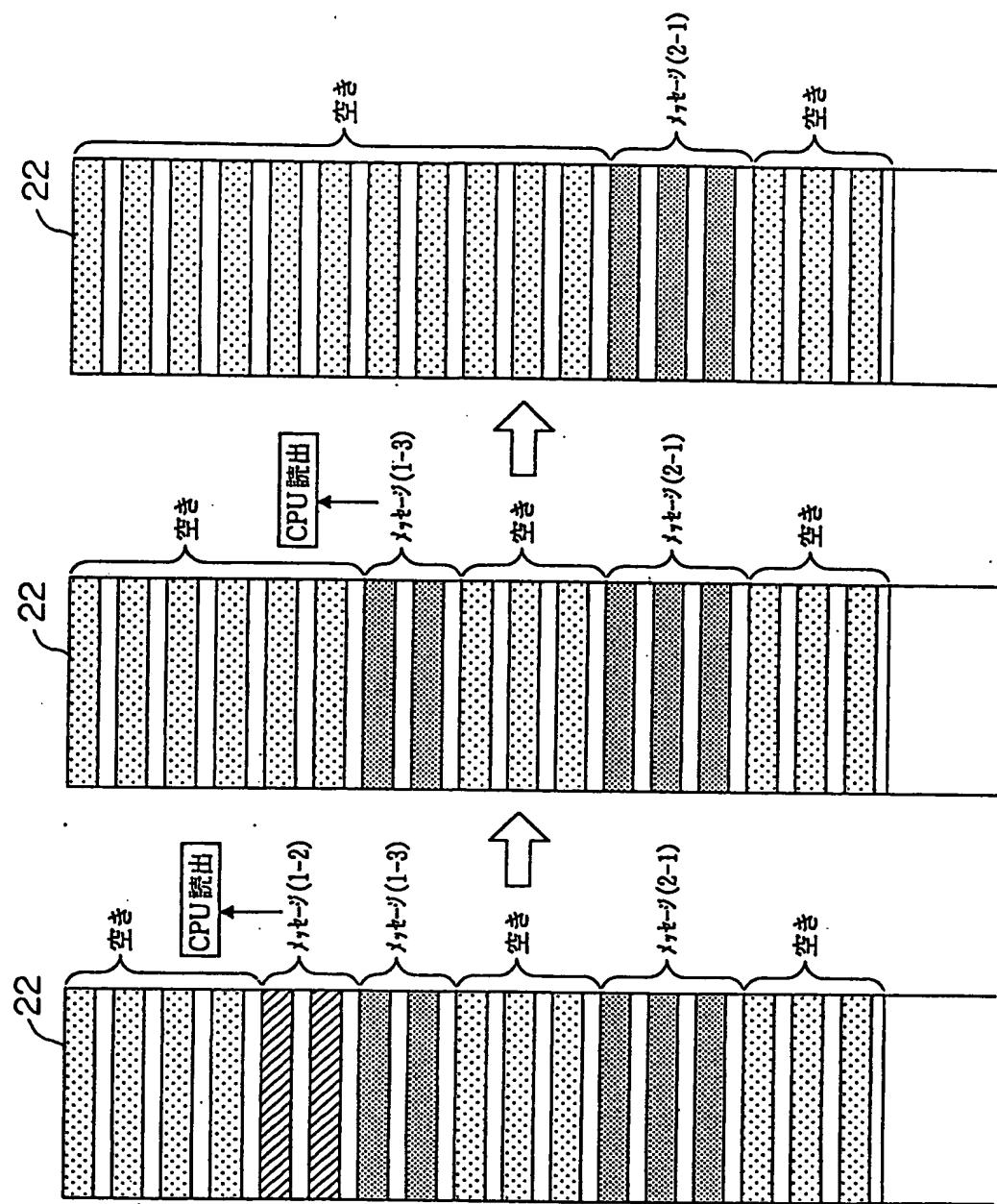


図9 (c)

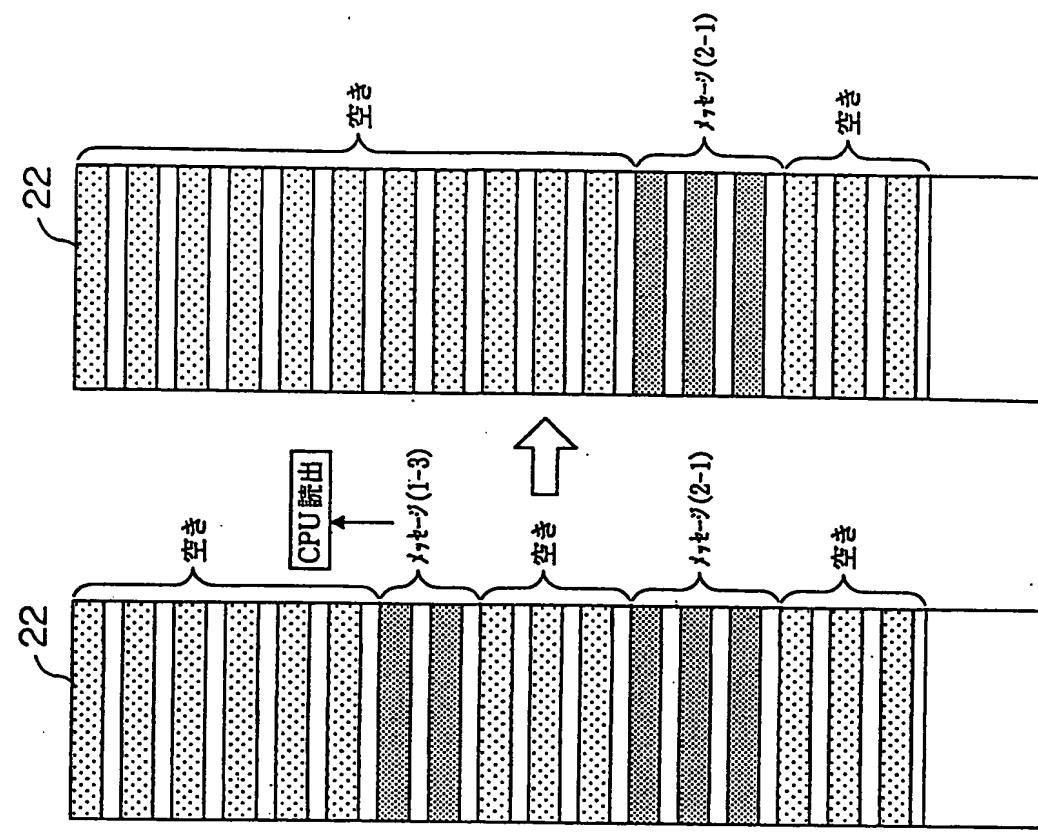


図9 (d)

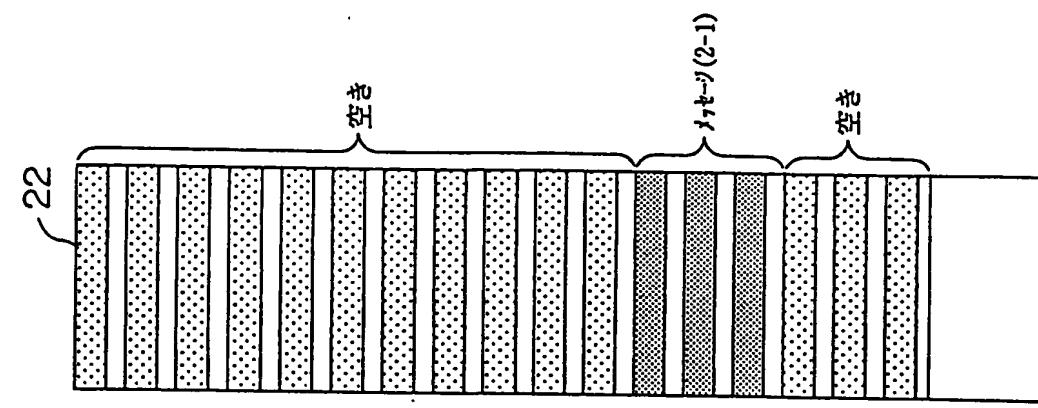


図10 (a)

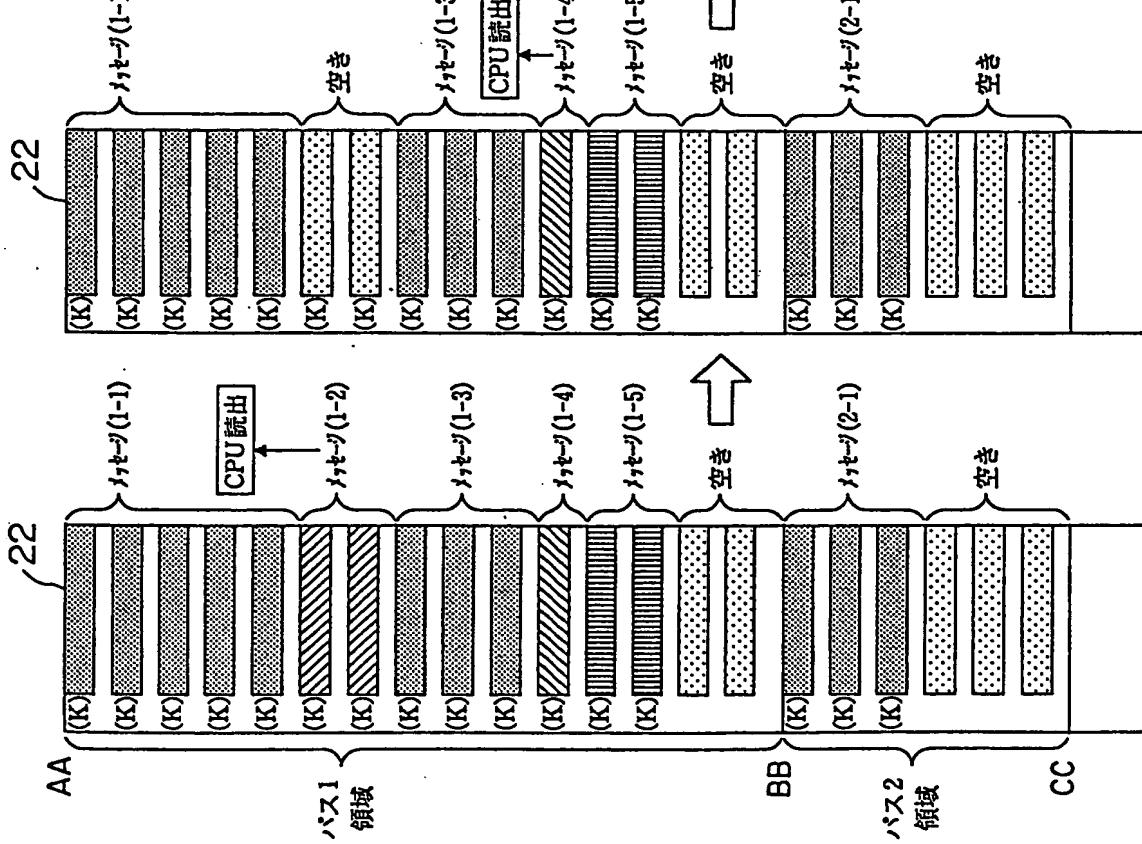


図10 (b)

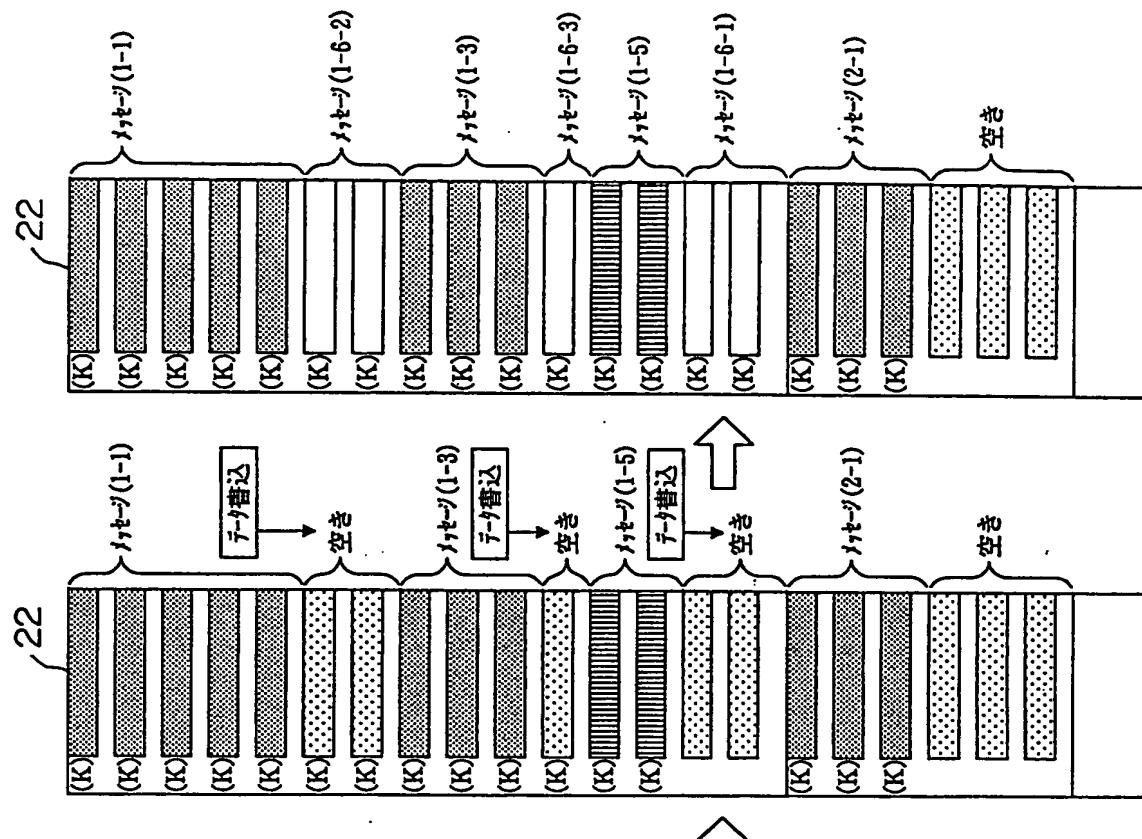


図10 (c)

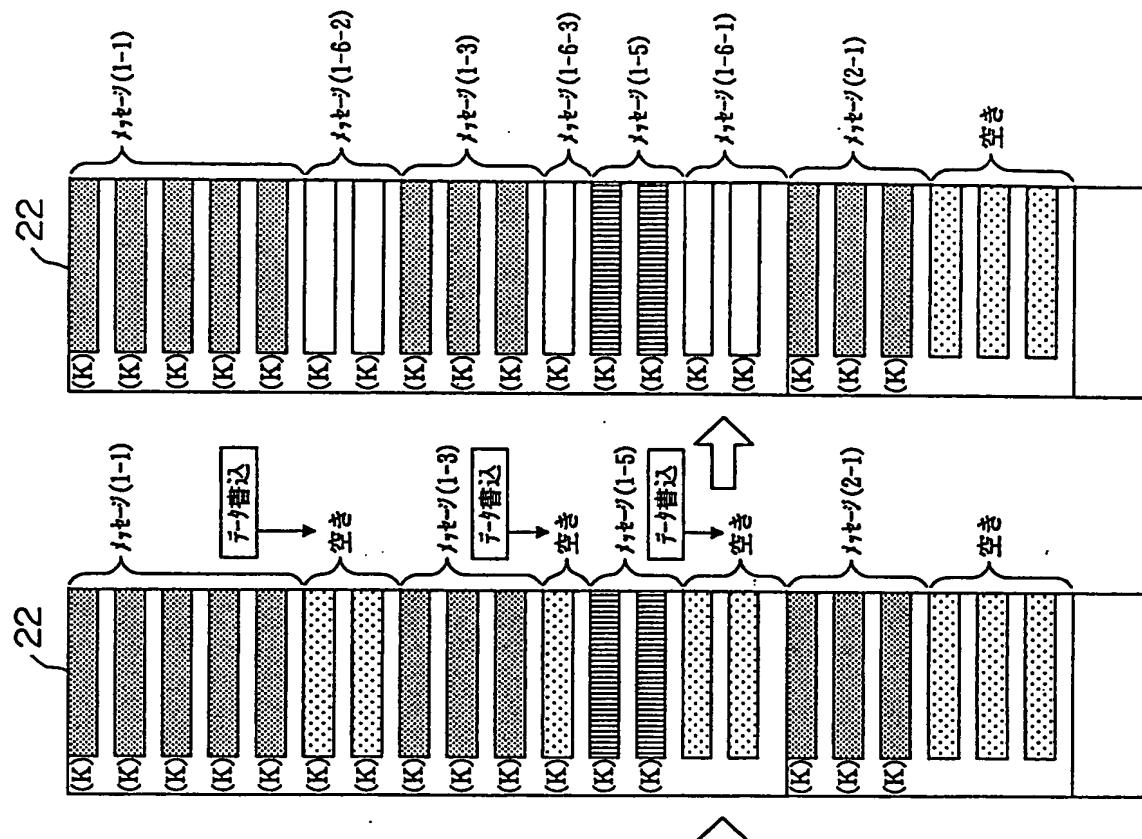
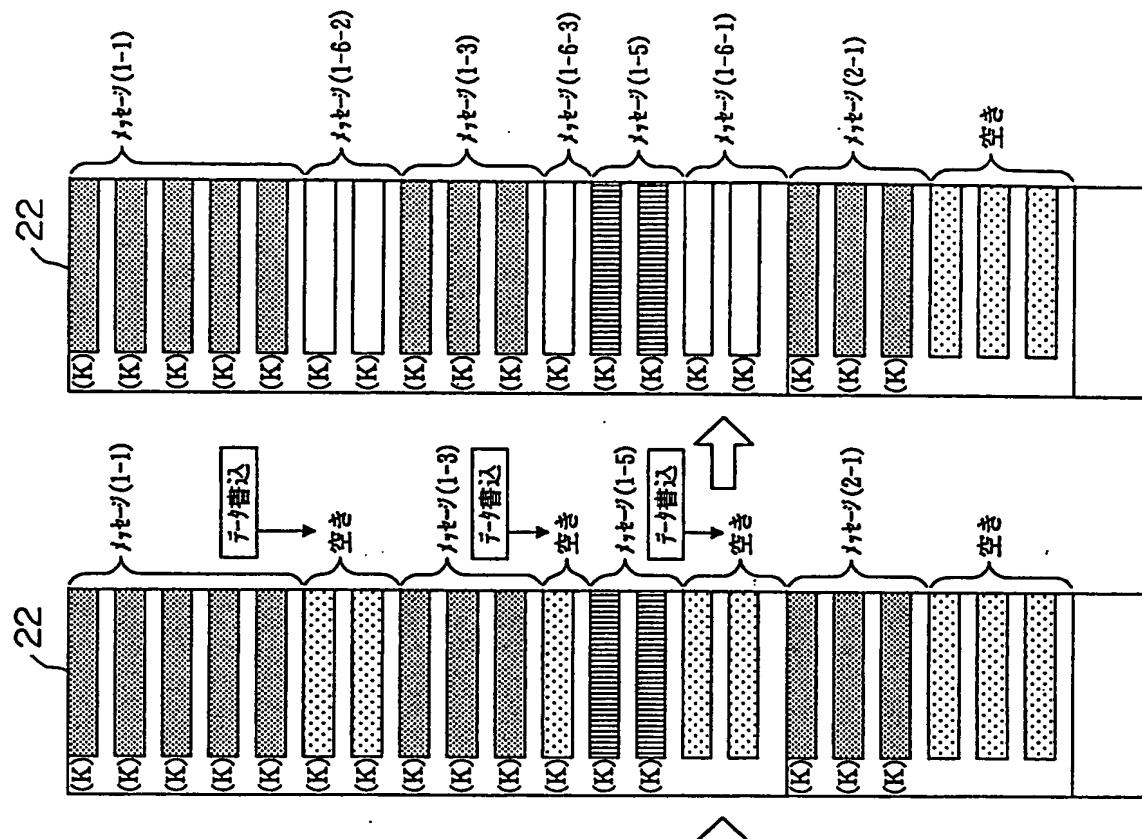


図10 (d)



(K): 格納 フラグ

図11 (a)	図11 (b)	図11 (c)	図11 (d)	図11 (e)	図11 (f)
0000 1-1t4 0030 0060 0090 00C0 00F0 0120 0150 0180 01B0	0000 1-1t4 0030 0060 0090 00C0 00F0 0120 0150 0180 01B0	0000 1-1t4 0030 0060 0090 00C0 00F0 0120 0150 0180 01B0	0000 1-1t4 0030 0060 0090 00C0 00F0 0120 0150 0180 01B0	0000 1-1t4 0030 0060 0090 00C0 00F0 0120 0150 0180 01B0	0000 1-1t4 0030 0060 0090 00C0 00F0 0120 0150 0180 01B0
01E0 0210 0240 0270 02A0 02D0 0300 0330 0360 0390	01E0 0210 0240 0270 02A0 02D0 0300 0330 0360 0390	01E0 0210 0240 0270 02A0 02D0 0300 0330 0360 0390	01E0 0210 0240 0270 02A0 02D0 0300 0330 0360 0390	01E0 0210 0240 0270 02A0 02D0 0300 0330 0360 0390	01E0 0210 0240 0270 02A0 02D0 0300 0330 0360 0390
0210 0240 0270 02A0 02D0 0300 0330 0360 0390	0210 0240 0270 02A0 02D0 0300 0330 0360 0390	0210 0240 0270 02A0 02D0 0300 0330 0360 0390	0210 0240 0270 02A0 02D0 0300 0330 0360 0390	0210 0240 0270 02A0 02D0 0300 0330 0360 0390	0210 0240 0270 02A0 02D0 0300 0330 0360 0390

図12 (a)	図12 (b)	図12 (c)	図12 (d)	図12 (e)	図12 (f)
0000 1-1t4 0030 1-2t4 0060 1-3t4 0090 2-1t4 00C0 2-2t4 00F0 2-3t4 0120 2-4t4 0150 2-5t4 0180 2-6t4 01B0	0000 1-1t4 0030 1-2t4 0060 1-3t4 0090 2-1t4 00C0 2-2t4 00F0 2-3t4 0120 2-4t4 0150 2-5t4 0180 2-6t4 01B0	0000 1-1t4 0030 1-2t4 0060 1-3t4 0090 2-1t4 00C0 2-2t4 00F0 2-3t4 0120 2-4t4 0150 2-5t4 0180 2-6t4 01B0	0000 1-1t4 0030 1-2t4 0060 1-3t4 0090 2-1t4 00C0 2-2t4 00F0 2-3t4 0120 2-4t4 0150 2-5t4 0180 2-6t4 01B0	0000 1-1t4 0030 1-2t4 0060 1-3t4 0090 2-1t4 00C0 2-2t4 00F0 2-3t4 0120 2-4t4 0150 2-5t4 0180 2-6t4 01B0	0000 1-1t4 0030 1-2t4 0060 1-3t4 0090 2-1t4 00C0 2-2t4 00F0 2-3t4 0120 2-4t4 0150 2-5t4 0180 2-6t4 01B0
01E0 0210 0240 0270 02A0 02D0 0300 0330 0360 0390	01E0 0210 0240 0270 02A0 02D0 0300 0330 0360 0390	01E0 0210 0240 0270 02A0 02D0 0300 0330 0360 0390	01E0 0210 0240 0270 02A0 02D0 0300 0330 0360 0390	01E0 0210 0240 0270 02A0 02D0 0300 0330 0360 0390	01E0 0210 0240 0270 02A0 02D0 0300 0330 0360 0390
0210 0240 0270 02A0 02D0 0300 0330 0360 0390	0210 0240 0270 02A0 02D0 0300 0330 0360 0390	0210 0240 0270 02A0 02D0 0300 0330 0360 0390	0210 0240 0270 02A0 02D0 0300 0330 0360 0390	0210 0240 0270 02A0 02D0 0300 0330 0360 0390	0210 0240 0270 02A0 02D0 0300 0330 0360 0390

図13 (a)

図13 (b)

図13 (c)

図13 (d)

図13 (e)

図13 (f)

22		22		22		22		22	
0000	1-1t4	0000	1-1t4	0000	1-1t4(開放)	0000	1-1t4(開放)	0000	1-1t4(開放)
0030	1-2t4	0030	1-2t4	0030	1-2t4(開放)	0030	1-2t4(開放)	0030	1-2t4(開放)
0060	1-3t4	0060	1-3t4	0060	1-3t4(開放)	0060	1-3t4(開放)	0060	1-3t4(開放)
0090	2-1t4	0090	2-1t4	0090	2-1t4	0090	2-1t4	0090	2-1t4
00C0	2-2t4	00C0	2-2t4	00C0	2-2t4	00C0	2-2t4	00C0	2-2t4
00F0	2-3t4	00F0	2-3t4	00F0	2-3t4	00F0	2-3t4	00F0	2-3t4
0120	2-4t4	0120	2-4t4	0120	2-4t4	0120	2-4t4	0120	2-4t4
0150	2-5t4	0150	2-5t4	0150	2-5t4	0150	2-5t4	0150	2-5t4
0180	2-6t4	0180	2-6t4	0180	2-6t4	0180	2-6t4	0180	2-6t4
01B0	4-1t4	01B0	4-1t4	01B0	4-1t4	01B0	4-1t4	01B0	4-1t4
01E0		01E0		01E0		01E0		01E0	
0210		0210		0210		0210		0210	
0240		0240		0240		0240		0240	
0270		0270		0270		0270		0270	
02A0		02A0		02A0		02A0		02A0	
02D0		02D0		02D0		02D0		02D0	
0300		0300		0300		0300		0300	
0330		0330		0330		0330		0330	
0360		0360		0360		0360		0360	
0390		0390		0390		0390		0390	

图 14 (a)

图 14 (b)

图 14 (c)

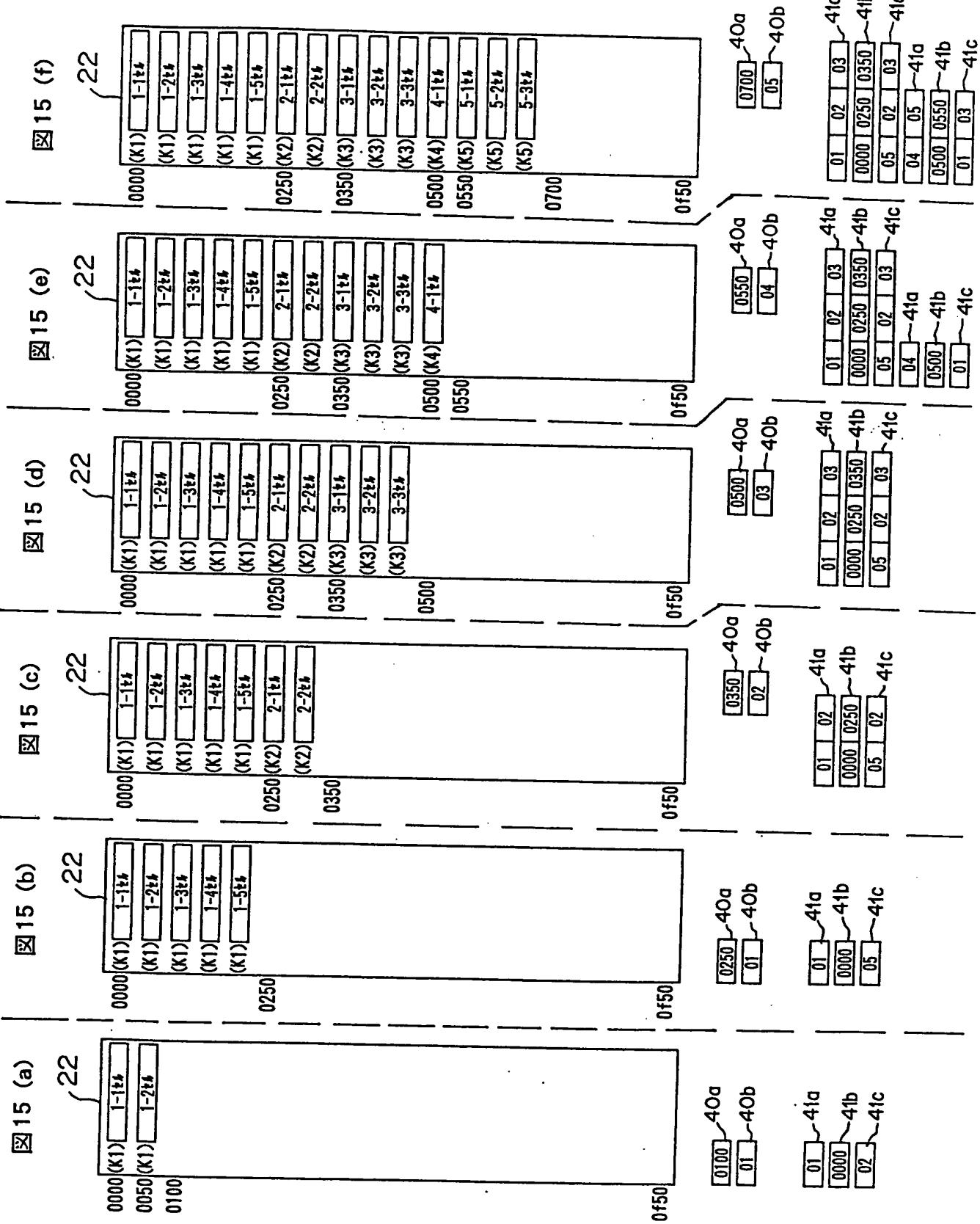
图 14 (d)

図14 (e) 図14 (f)

22

8

0000	6-1t4								
0030	1-2t4 (開放)								
0060	1-3t4 (開放)								
0090	2-1t4	0090	2-1t4	0090	2-1t4	0090	2-1t4 (開放)	0090	2-1t4 (開放)
00C0	2-2t4	00C0	2-2t4	00C0	2-2t4 (開放)	00C0	2-2t4 (開放)	00C0	2-2t4 (開放)
00F0	2-3t4	00F0	2-3t4	00F0	2-3t4	00F0	2-3t4 (開放)	00F0	2-3t4 (開放)
0120	2-4t4	0120	2-4t4	0120	2-4t4	0120	2-4t4 (開放)	0120	2-4t4 (開放)
0150	2-5t4	0150	2-5t4	0150	2-5t4	0150	2-5t4 (開放)	0150	2-5t4 (開放)
0180	2-6t4	0180	2-6t4	0180	2-6t4	0180	2-6t4 (開放)	0180	2-6t4 (開放)
01B0	4-1t4								
01E0		01E0		01E0		01E0		01E0	
0210		0210		0210		0210		0210	
0240		0240		0240		0240		0240	
0270		0270		0270		0270		0270	
02A0		02A0		02A0		02A0		02A0	
02D0		02D0		02D0		02D0		02D0	
0300		0300		0300		0300		0300	
0330		0330		0330		0330		0330	
0360		0360		0360		0360		0360	
0390		0390		0390		0390		0390	



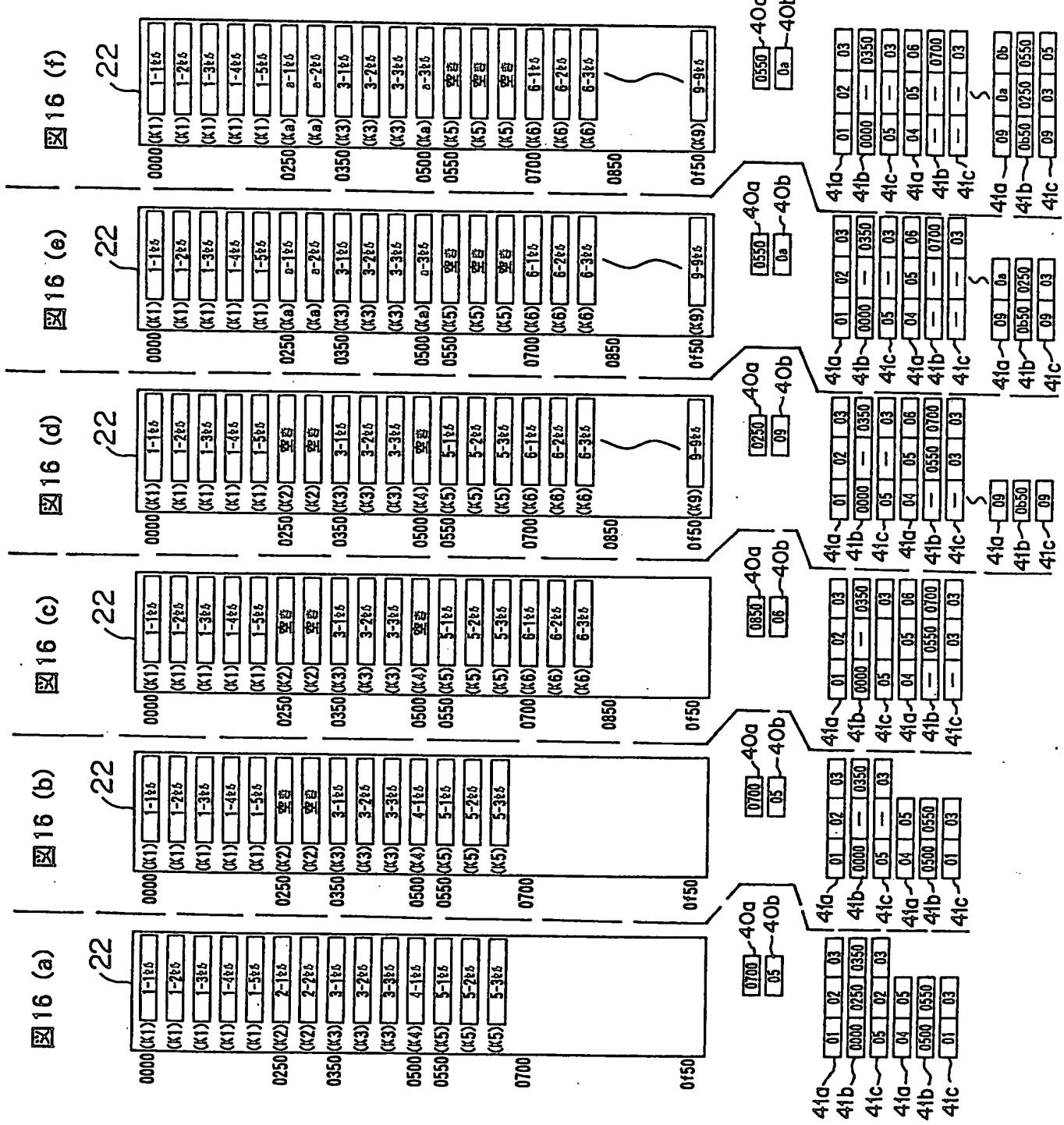


図 17

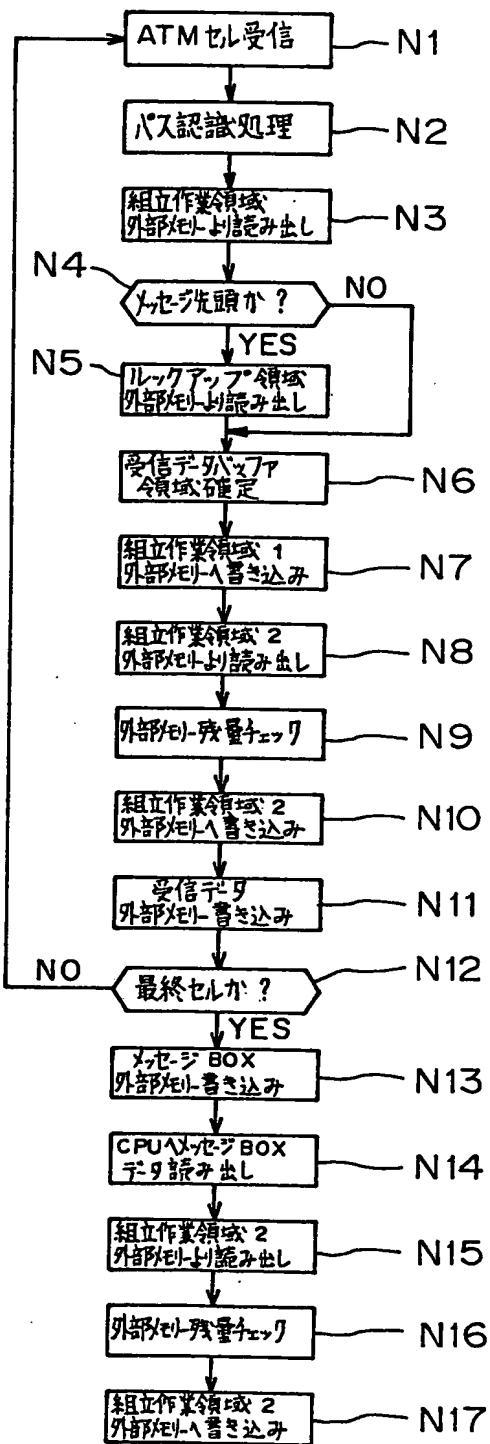


図 18

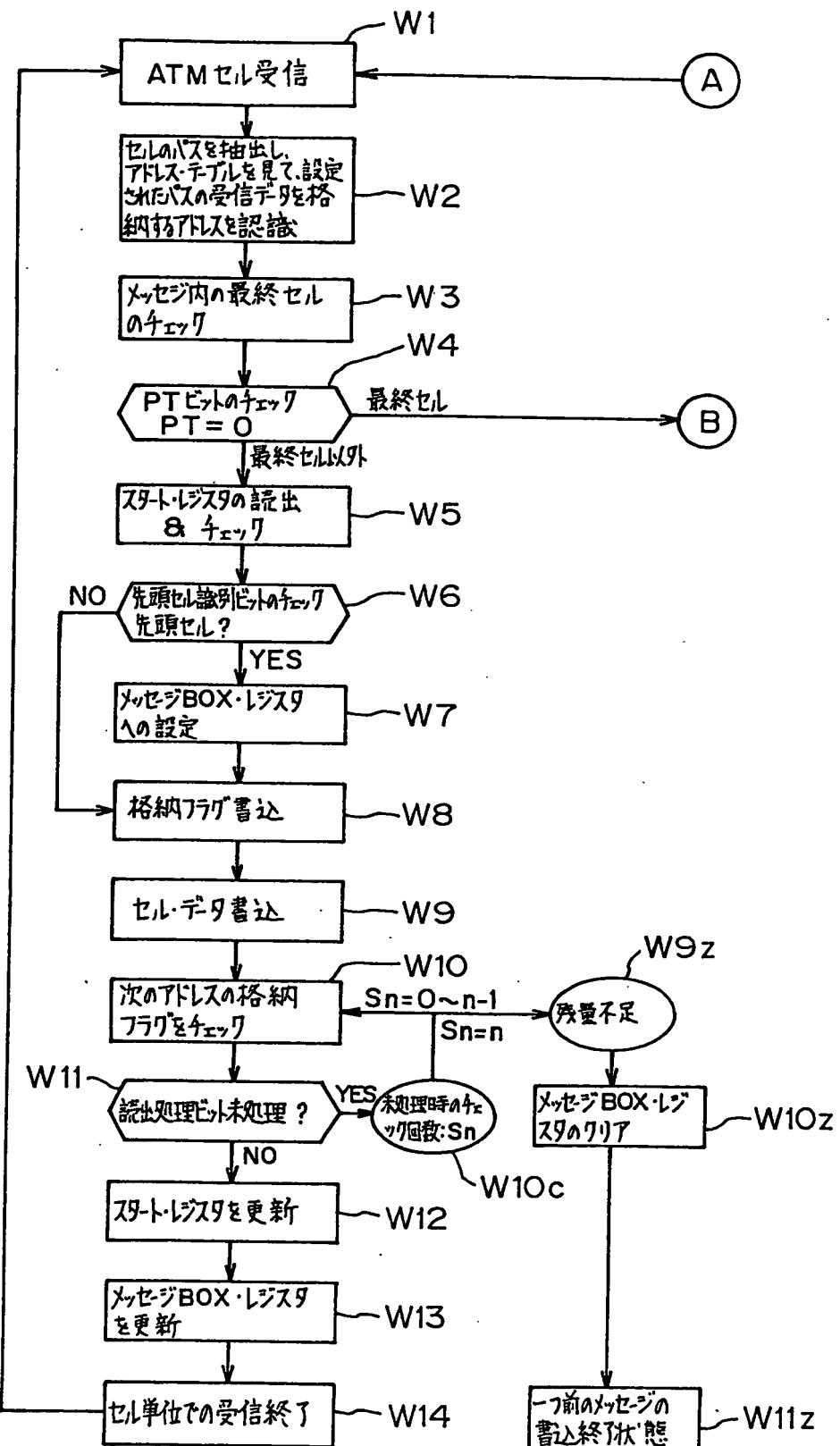


図 19

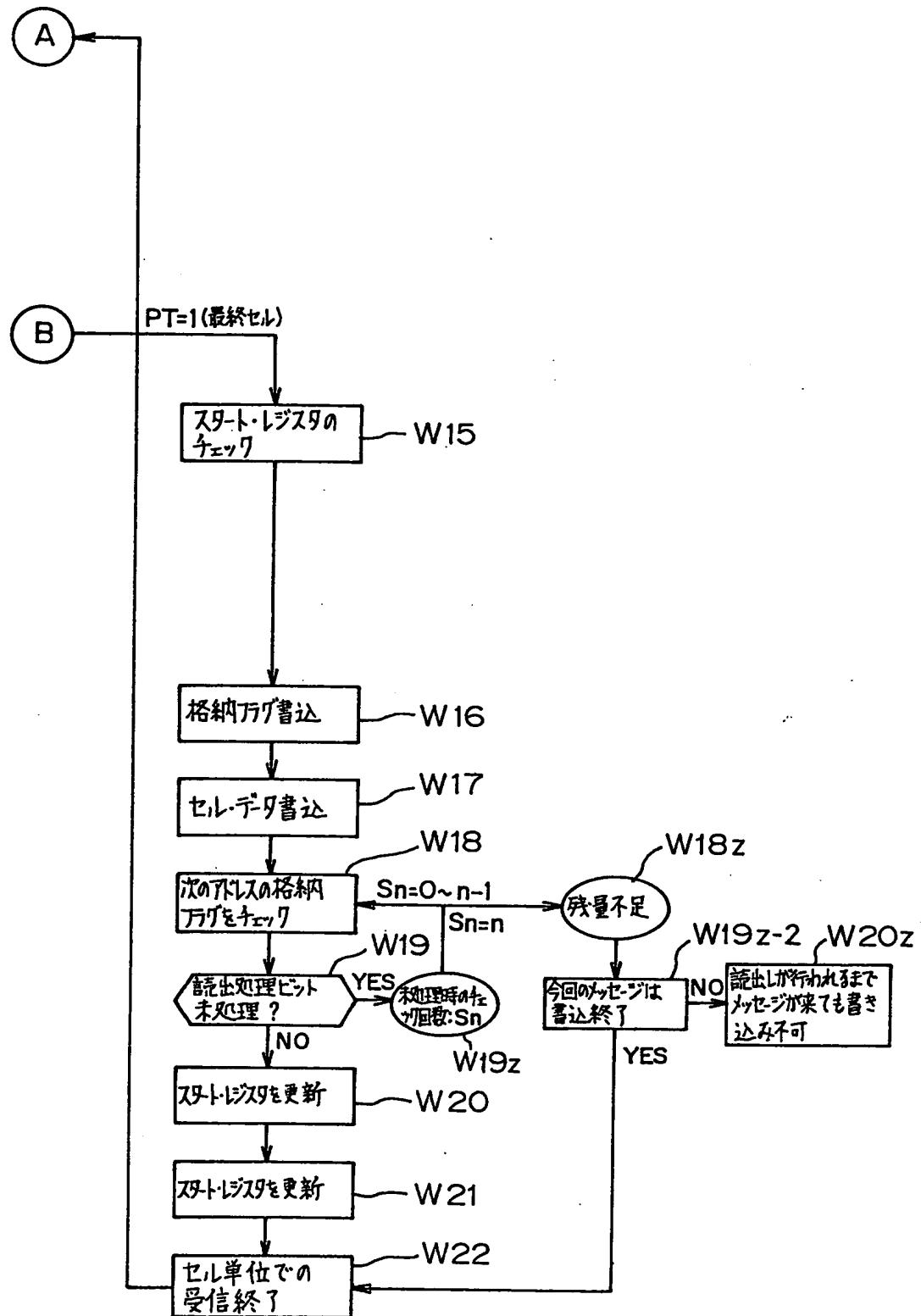


図 20

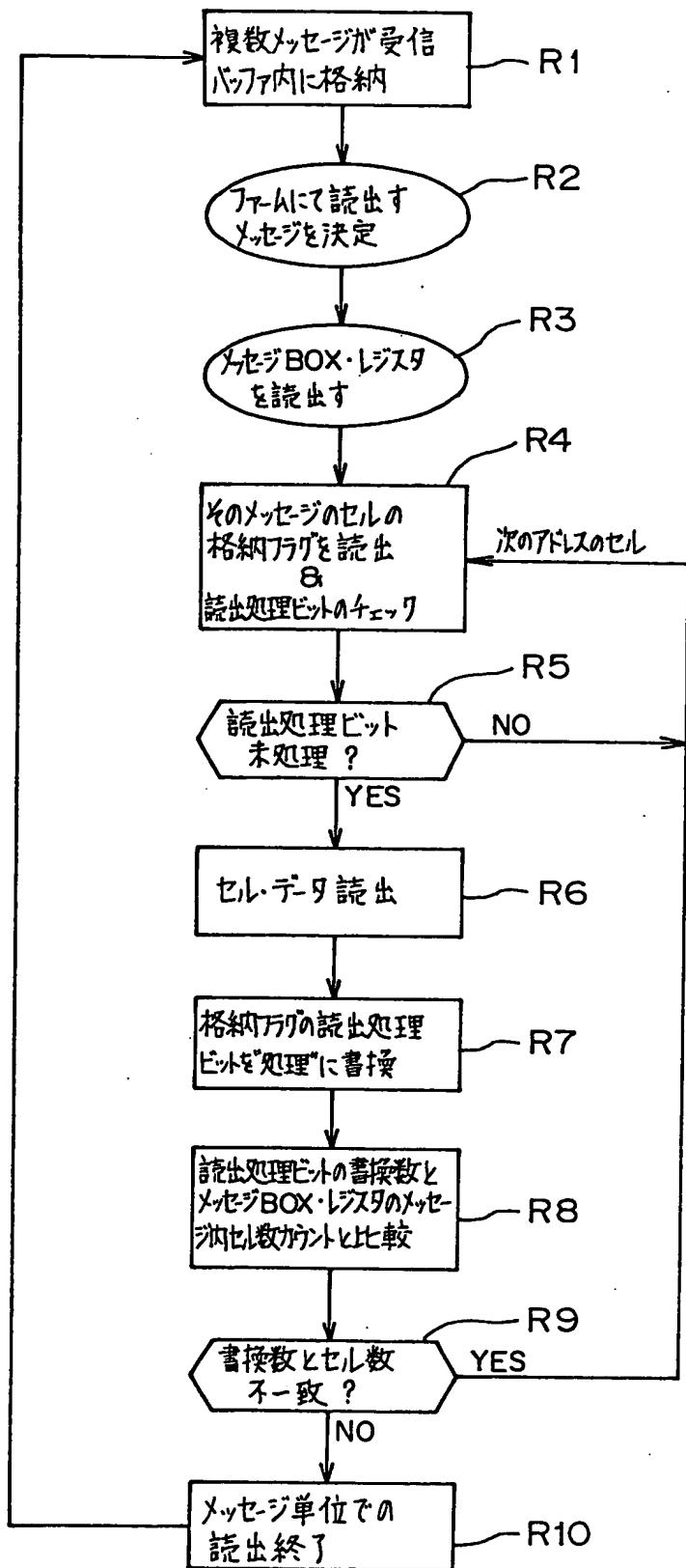
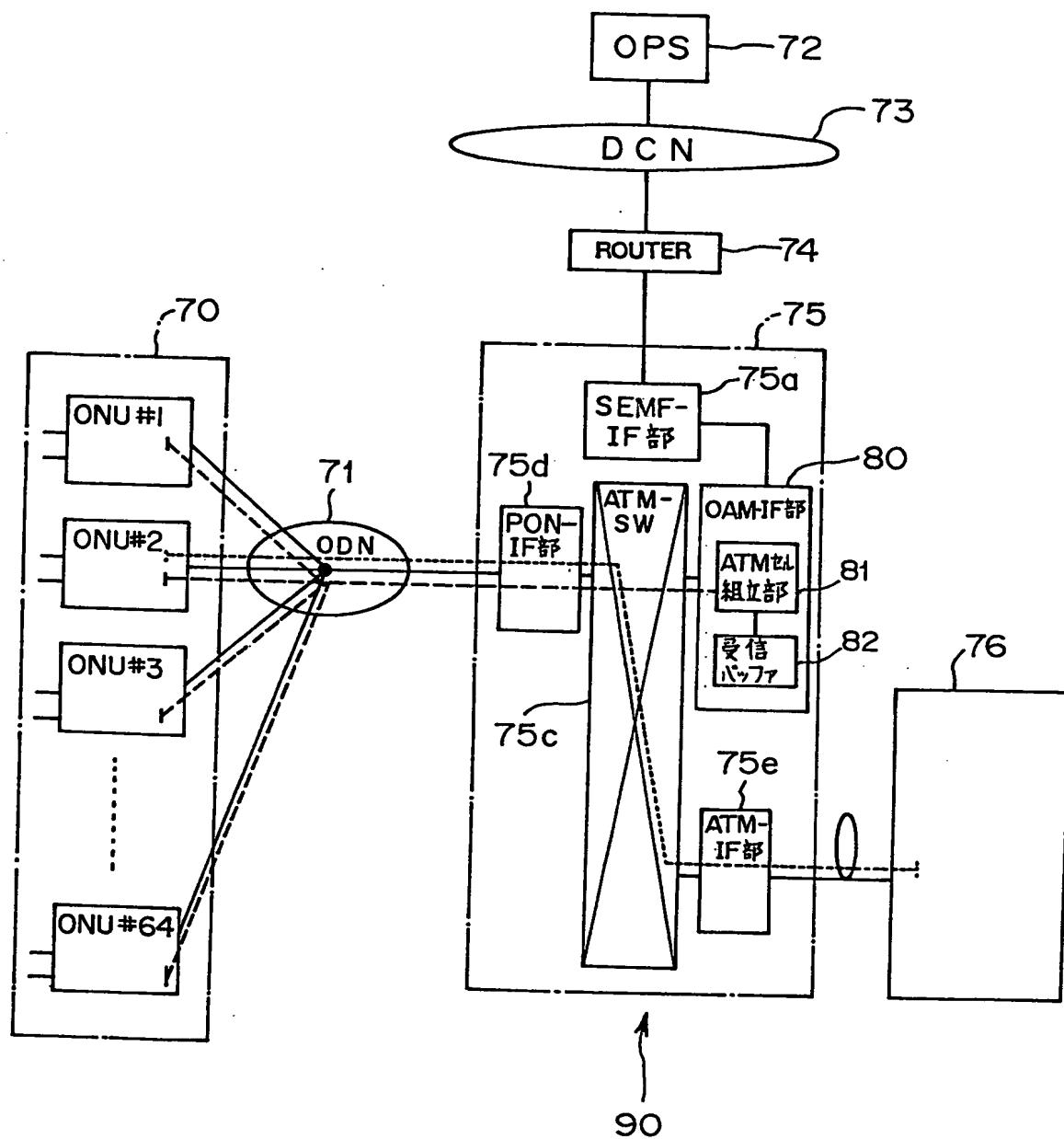
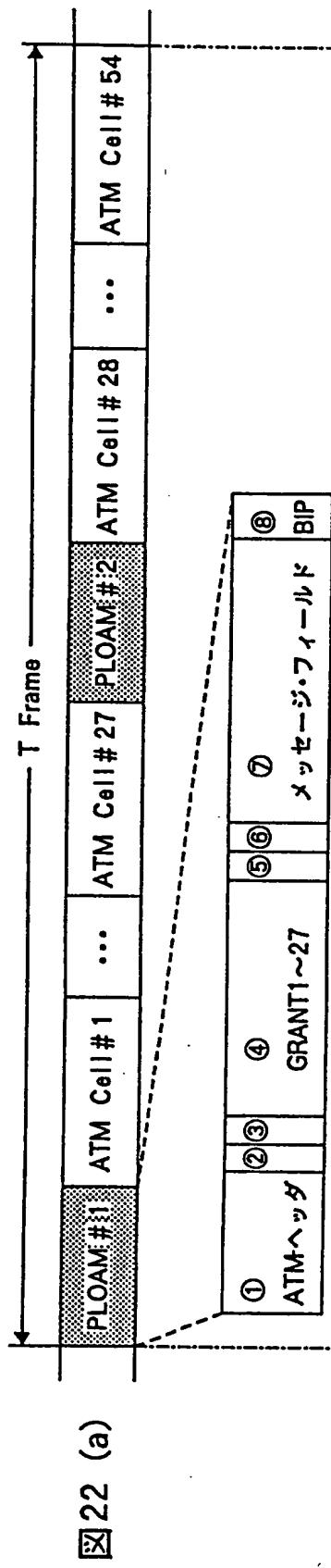


図 21



Down Stream Frame



Up Stream Frame

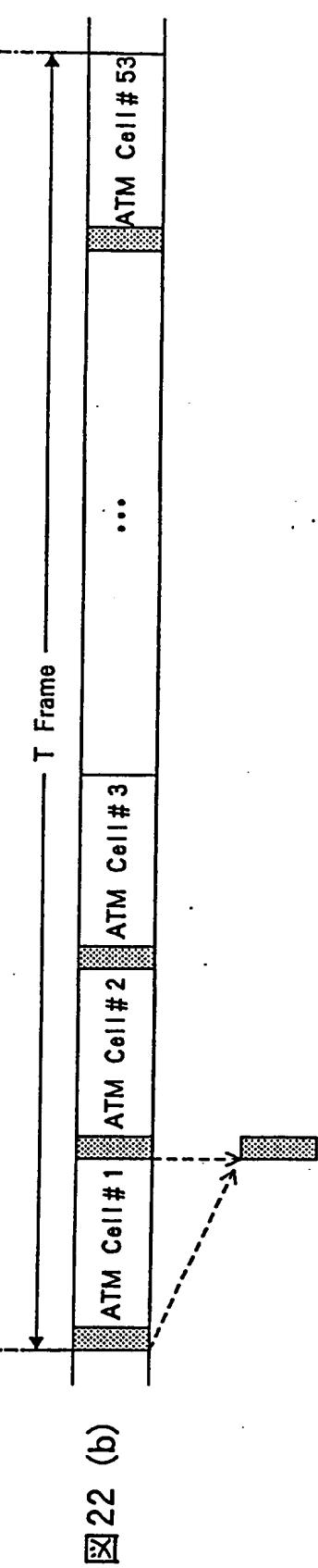


図23

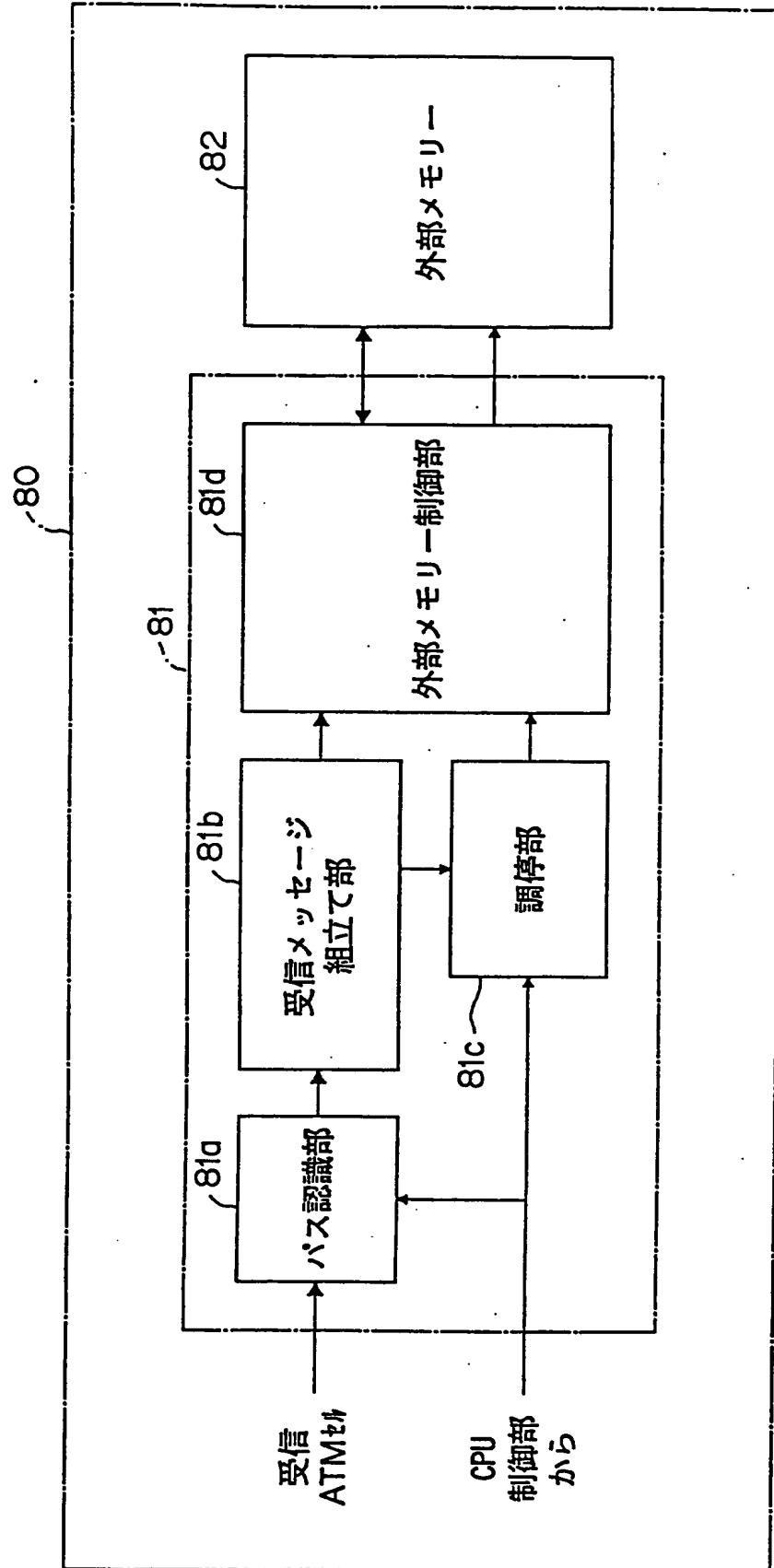
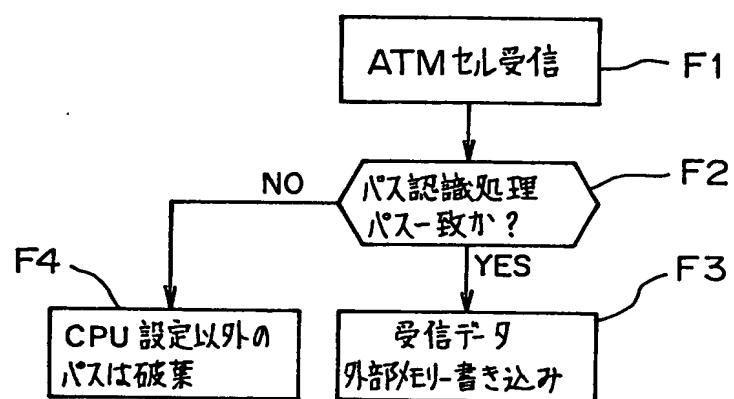


図 24



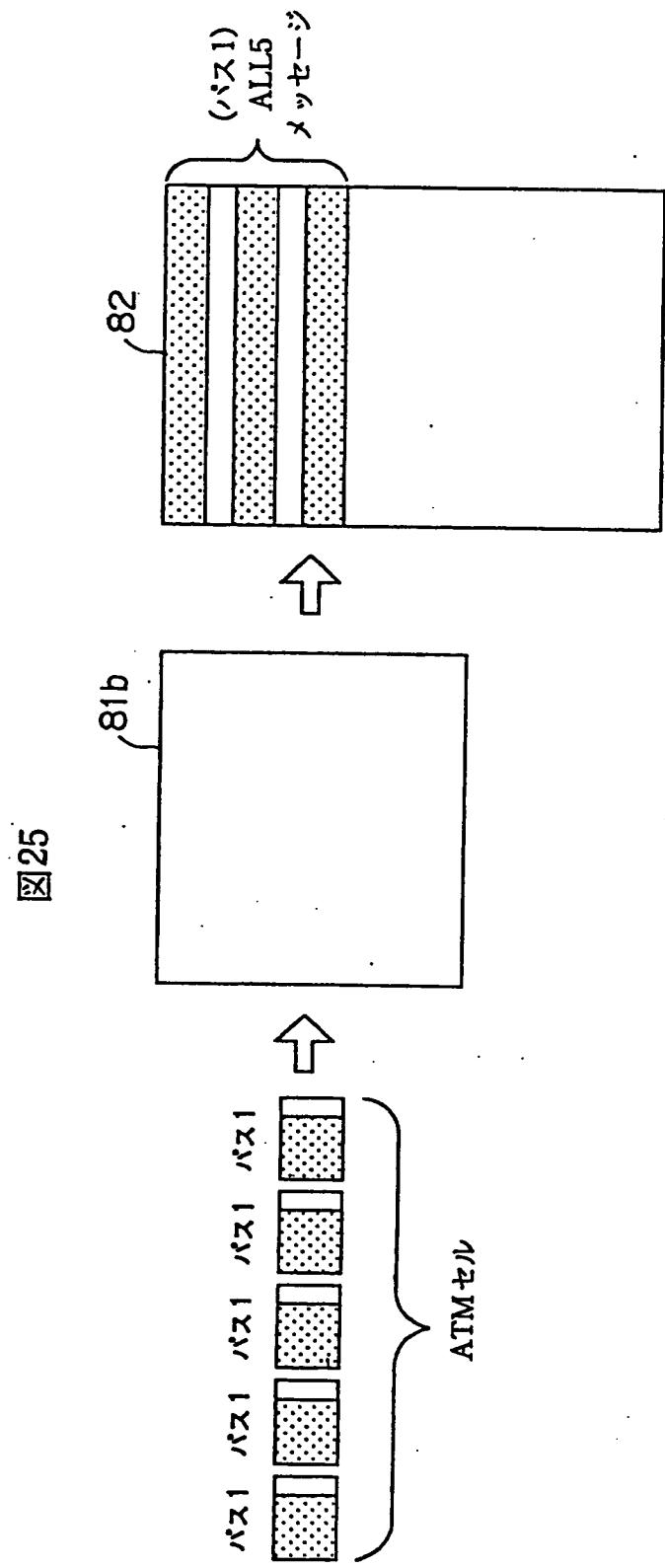


図26

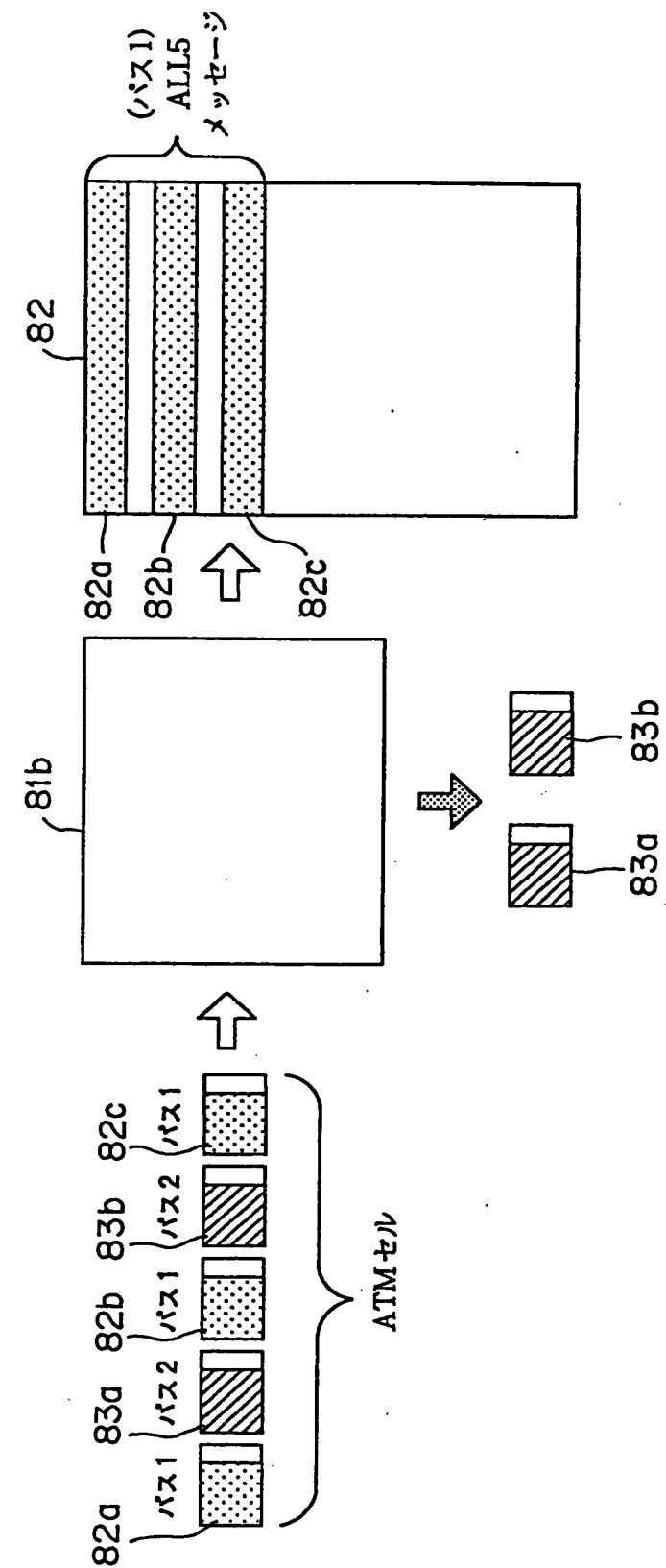
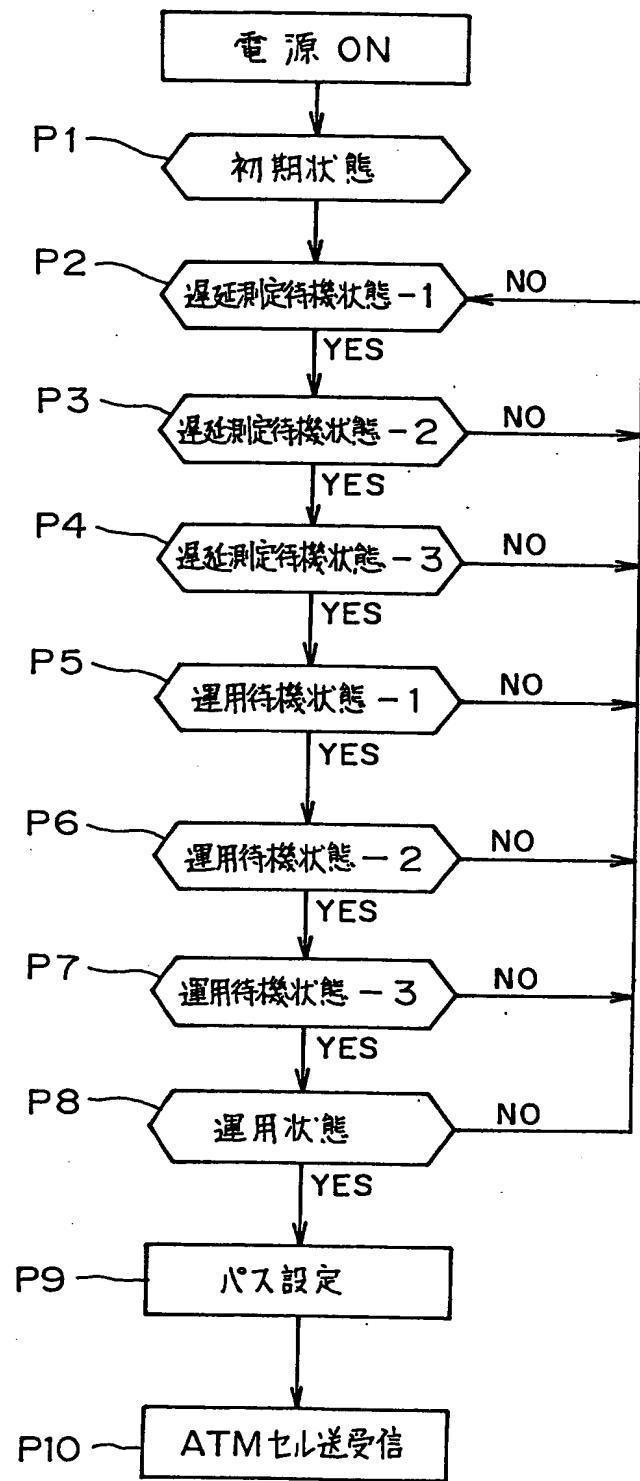


図 27



COPY

F04009900690

0-1	For receiving Office use only International Application No.	
0-2	International Filing Date	
0-3	Name of receiving Office and "PCT International Application"	
0-4 0-4-1	Form - PCT/RO/101 PCT Request Prepared using	PCT-EASY Version 2.83 (updated 01.03.1999)
0-5	Petition The undersigned requests that the present international application be processed according to the Patent Cooperation Treaty	
0-6	Receiving Office (specified by the applicant)	Japanese Patent Office (RO/JP)
0-7	Applicant's or agent's file reference	F04009900690
I	Title of invention	MESSAGE WRITING APPARATUS, MESSAGE WRITING METHOD, MESSAGE READOUT APPARATUS, MESSAGE READOUT METHOD, MEMORY ADDRESS CONTROL CIRCUIT FOR WRITING OF VARIABLE-LENGTH MESSAGE AND MEMORY ADDRESS CONTROL CIRCUIT FOR READOUT OF VARIABLE-LENGTH MESSAGE
II	Applicant	
II-1	This person is:	applicant only
II-2	Applicant for	all designated States except US
II-4	Name	FUJITSU LIMITED
II-5	Address:	1-1, Kamikodanaka 4-chome, Nakahara-ku, Kawasaki-shi, Kanagawa 211-8588
II-6	State of nationality	Japan
II-7	State of residence	JP
III-1	Applicant and/or Inventor	
III-1-1	This person is:	applicant and inventor
III-1-2	Applicant for	US only
III-1-4	Name (LAST, First)	YAMAMORI, Akira
III-1-5	Address:	c/o FUJITSU KANSAI DIGITAL TECHNOLOGY LIMITED, 2-6, Shiromi 2-chome, Chuo-ku, Osaka-shi, Osaka 540-0001
III-1-6	State of nationality	Japan
III-1-7	State of residence	JP

III-2	Applicant and/or inventor	
III-2-1	This person is:	applicant and inventor
III-2-2	Applicant for	US only
III-2-4	Name (LAST, First)	SASAKI, Takashi
III-2-5	Address:	c/o FUJITSU KANSAI DIGITAL TECHNOLOGY LIMITED, 2-6, Shiromi 2-chome, Chuo-ku, Osaka-shi, Osaka 540-0001 Japan
III-2-6	State of nationality	JP
III-2-7	State of residence	JP
III-3	Applicant and/or inventor	
III-3-1	This person is:	applicant and inventor
III-3-2	Applicant for	US only
III-3-4	Name (LAST, First)	MAEDA, Eiji
III-3-5	Address:	c/o FUJITSU KANSAI DIGITAL TECHNOLOGY LIMITED, 2-6, Shiromi 2-chome, Chuo-ku, Osaka-shi, Osaka 540-0001 Japan
III-3-6	State of nationality	JP
III-3-7	State of residence	JP
III-4	Applicant and/or inventor	
III-4-1	This person is:	applicant and inventor
III-4-2	Applicant for	US only
III-4-4	Name (LAST, First)	MAEDA, Masao
III-4-5	Address:	c/o FUJITSU KANSAI DIGITAL TECHNOLOGY LIMITED, 2-6, Shiromi 2-chome, Chuo-ku, Osaka-shi, Osaka 540-0001 Japan
III-4-6	State of nationality	JP
III-4-7	State of residence	JP
III-5	Applicant and/or inventor	
III-5-1	This person is:	applicant and inventor
III-5-2	Applicant for	US only
III-5-4	Name (LAST, First)	OKU, Tatsuya
III-5-5	Address:	c/o FUJITSU KANSAI DIGITAL TECHNOLOGY LIMITED, 2-6, Shiromi 2-chome, Chuo-ku, Osaka-shi, Osaka 540-0001 Japan
III-5-6	State of nationality	JP
III-5-7	State of residence	JP

III-6	Applicant and/or inventor	
III-6-1	This person is:	applicant and inventor
III-6-2	Applicant for	US only
III-6-4	Name (LAST, First)	OKUDA, Yoshinori
III-6-5	Address:	c/o FUJITSU KANSAI DIGITAL TECHNOLOGY LIMITED,
		2-6, Shiromi 2-chome, Chuo-ku, Osaka-shi, Osaka 540-0001
		Japan
III-6-6	State of nationality	JP
III-6-7	State of residence	JP
III-7	Applicant and/or inventor	
III-7-1	This person is:	applicant and inventor
III-7-2	Applicant for	US only
III-7-4	Name (LAST, First)	OKADA, Tsuguo
III-7-5	Address:	c/o FUJITSU KANSAI DIGITAL TECHNOLOGY LIMITED,
		2-6, Shiromi 2-chome, Chuo-ku, Osaka-shi, Osaka 540-0001
		Japan
III-7-6	State of nationality	JP
III-7-7	State of residence	JP
III-8	Applicant and/or inventor	
III-8-1	This person is:	applicant and inventor
III-8-2	Applicant for	US only
III-8-4	Name (LAST, First)	YASUO, Akihiro
III-8-5	Address:	c/o FUJITSU LIMITED,
		1-1, Kamikodanaka 4-chome, Nakahara-ku, Kawasaki-shi, Kanagawa 211-8588
		Japan
III-8-6	State of nationality	JP
III-8-7	State of residence	JP
III-9	Applicant and/or inventor	
III-9-1	This person is:	applicant and inventor
III-9-2	Applicant for	US only
III-9-4	Name (LAST, First)	YOSHIZAWA, Jinichi
III-9-5	Address:	c/o FUJITSU LIMITED,
		1-1, Kamikodanaka 4-chome, Nakahara-ku, Kawasaki-shi, Kanagawa 211-8588
		Japan
III-9-6	State of nationality	JP
III-9-7	State of residence	JP

IV-1	Agent or common representative; or address for correspondence The person identified below is hereby/has been appointed to act on behalf of the applicant(s) before the competent International Authorities as: Name (LAST, First)	agent SANADA, Tamotsu Kichijoji-Hirose Bldg. 5th Floor, 10-31, Kichijoji-honcho 1-chome, Musashino-shi, Tokyo 180-0004 Japan	
IV-1-1	Address:		
IV-1-3	Telephone No.	0422-21-4222	
IV-1-4	Facsimile No.	0422-21-3359	
IV-1-5	e-mail	patent.sanada@nifty.ne.jp	
V	Designation of States		
V-1	Regional Patent (other kinds of protection or treatment, if any, are specified between parentheses after the designation(s) concerned)	EP: AT BE CH&LI CY DE DK ES FI FR GB GR IE IT LU MC NL PT SE and any other State which is a Contracting State of the European Patent Convention and of the PCT	
V-2	National Patent (other kinds of protection or treatment, if any, are specified between parentheses after the designation(s) concerned)	JP US	
V-5	Precautionary Designation Statement In addition to the designations made under items V-1, V-2 and V-3, the applicant also makes under Rule 4.9(b) all designations which would be permitted under the PCT except any designation(s) of the State(s) indicated under item V-6 below. The applicant declares that those additional designations are subject to confirmation and that any designation which is not confirmed before the expiration of 15 months from the priority date is to be regarded as withdrawn by the applicant at the expiration of that time limit.		
V-6	Exclusion(s) from precautionary designations	NONE	
VI	Priority claim of earlier national application	NONE	
VII-1	International Searching Authority Chosen	Japanese Patent Office (JPO) (ISA/JP)	
VIII	Check list	number of sheets	electronic file(s) attached
VIII-1	Request	8	-
VIII-2	Description	54	-
VIII-3	Claims	5	-
VIII-4	Abstract	1	f04009900690.txt
VIII-5	Drawings	27	-
VIII-7	TOTAL	95	

	Accompanying items	paper document(s) attached	electronic file(s) attached
VIII-8	Fee calculation sheet	✓	-
VIII-9	Separate signed Power of Attorney	✓	-
VIII-10	Copy of General Power of Attorney	✓	
VIII-16	PCT-EASY diskette	-	diskette
VIII-17	Other (specified):	Document attaching the revenue stamps equivalent to the fee of payment	-
VIII-17	Other (specified):	Document certifying remittance to the account of the International Bureau of WIPO	-
VIII-18	Figure of the drawings which should accompany the abstract	3	
VIII-19	Language of filing of the international application	Japanese	
IX-1	Signature of applicant or agent		
IX-1-1	Name (LAST, First)	SANADA, Tamotsu (Sealed)	

FOR RECEIVING OFFICE USE ONLY

10-1	Date of actual receipt of the purported International application	
10-2	Drawings:	
10-2-1	Received	
10-2-2	Not received	
10-3	Corrected date of actual receipt due to later but timely received papers or drawings completing the purported International application	
10-4	Date of timely receipt of the required corrections under PCT Article 11(2)	
10-5	International Searching Authority	ISA/JP
10-6	Transmittal of search copy delayed until search fee is paid	

FOR INTERNATIONAL BUREAU USE ONLY

11-1	Date of receipt of the record copy by the International Bureau	
------	---	--

PCT (ANNEX - FEE CALCULATION SHEET)

F04009900690

(This sheet is not part of and does not count as a sheet of the international application)

0	For receiving Office use only International Application No.		
0-1			
0-2	Date stamp of the receiving Office		
0-4	Form - PCT/RO/101 (Annex) PCT Fee Calculation Sheet Prepared using		
0-4-1	PCT-EASY Version 2.83 (updated 01.03.1999)		
0-9	Applicant's or agent's file reference F04009900690		
2	Applicant FUJITSU LIMITED		
12	Calculation of prescribed fees	fee amount/multiplier	total amounts (JPY)
12-1	Transmittal fee	T	⇒ 18,000
12-2	Search fee	S	⇒ 77,000
12-3	International fee Basic fee (first 30 sheets)	b1	54,800
12-4	Remaining sheets		65
12-5	Additional amount	(X)	1,300
12-6	Total additional amount	b2	84,500
12-7	b1 + b2 =	B	139,300
12-8	Designation fees Number of designations contained in international application	3	
12-9	Number of designation fees payable (maximum 8)	3	
12-10	Amount of designation fee	(X)	12,600
12-11	Total designation fees	D	37,800
12-12	PCT-EASY fee reduction	R	-16,900
12-13	Total International fee (B+D-R)	I	⇒ 160,200
12-17	TOTAL FEES PAYABLE (T+S+I+P)		⇒ 255,200
12-19	Mode of payment	Transmittal fee: revenue stamps Search fee: revenue stamps International fee: Remittance to the designated bank account Priority document fee:	

**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- BLACK BORDERS**
- IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- FADED TEXT OR DRAWING**
- BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- SKEWED/SLANTED IMAGES**
- COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- GRAY SCALE DOCUMENTS**
- LINES OR MARKS ON ORIGINAL DOCUMENT**
- REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- OTHER:** _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.